

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-036815

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

G06F 13/14
G06F 13/10

(21)Application number : 05-182475

(71)Applicant : HITACHI LTD

HITACHI JOHO NETWORK:KK

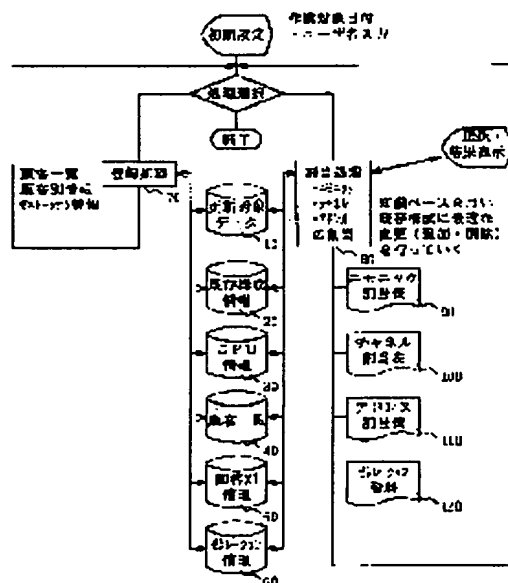
(22)Date of filing : 23.07.1993

(72)Inventor : NAGATSUKA MASAHIKO

(54) SYSTEM FOR DETERMINING AND SUPPORTING EQUIPMENT CONNECTION

(57)Abstract:

PURPOSE: To automate allocating work and to attain highly efficient work by automatically determining a connection channel number between an I/O equipment and a processor and the allocation of an address and an optional name (mnemonic) to the I/O equipment or supporting these determination.



CONSTITUTION: This system is provided with data bases for data 10 to be updated to manage the changing schedule information of an equipment, constitution data 20 for managing current equipment constitution, CPU information 30 for managing channel information or the like relating to a processor, a customer list 40 for managing customer names and installation places, customer information 50 for managing customer's individual information such as inference basis, generation information 60 for managing a schedule such as a data of system generation. While inputting/outputting data between registering processing 70 and allocating processing 80, various information is set up/changed. As set/ changed results, a mnemonic allocation table 90, a channel allocation table 100, an address allocation table 110, and generation data 120 are outputted.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.⁵

G 1 1 C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

9191-5L

G 1 1 C 17/ 00

3 0 9 A

審査請求 未請求 請求項の数7(全 27 頁)

(21)出願番号 特願平4-56627

(22)出願日 平成4年(1992)2月10日

(31)優先権主張番号 6 5 4, 3 7 5

(32)優先日 1991年2月11日

(33)優先権主張国 米国(US)

(71)出願人 591003943

インテル・コーポレーション

アメリカ合衆国95051カリフォルニア州・

サンタクララ・パワースアヴエニュー・

3065

(72)発明者 ヴァジル・ナイルズ・キネット

アメリカ合衆国 95630 カリフォルニア

州・エル ドラド ヒルズ・リッジビュ

ドライブ・3553

(72)発明者 ミッキー・リー・ファンドリッチ

アメリカ合衆国 95667 カリフォルニア

州・プレイサーヴィル・スパニッシュ ラ

ヴィン ロード・3179

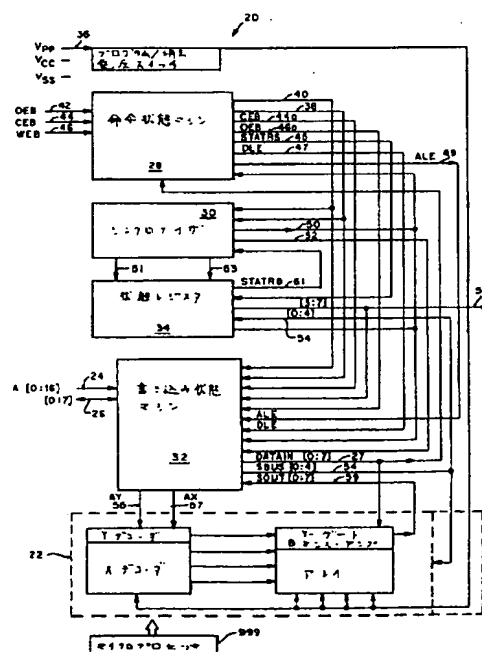
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 不揮発性半導体メモリをプログラム及び消去する回路とその方法

(57)【要約】

【目的】 不揮発性半導体メモリを消去およびプログラムするのに要するマイクロプロセッサのコードの量を最少にした、不揮発性半導体メモリのプログラムおよび消去する回路および方法を提供することである。

【構成】 不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路は、不揮発性半導体メモリと同じ基板上に設けられている。この回路は、多段プログラム・シーケンスを開始する命令を記憶する装置と、不揮発性半導体メモリのビットをデータ・パターン・ビットにしたがってプログラムするよう不揮発性半導体メモリをエネーブルする第1エネープリング回路を有している。また、不揮発性半導体メモリの多段消去シーケンスを実行する回路は、多段消去シーケンスを開始する命令を記憶する装置と、不揮発性半導体メモリのビットをプレコンディションして第1論理レベルにするよう、不揮発性半導体メモリをエネーブルする第1エネープリング回路と、そのビットを消去して第2論理レベルにするよう、不揮発性半導体メモリをエネーブルする第2エネープリング回路を含んでいる。



【特許請求の範囲】

【請求項1】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路において、

(a) 多段プログラム・シーケンスを開始する命令を記憶する装置と、

(b) データ・パターンにしたがって、不揮発性半導体メモリのビットをプログラムするよう、不揮発性半導体メモリをエネーブルする第1エネープリング装置と、
から成り、多段プログラム・シーケンスは、一旦開始されると、完了するため不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路。

【請求項2】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリの多段消去シーケンスを実行する回路において、

(a) 多段消去シーケンスを開始する命令を記憶する装置と、

(b) 不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするよう、不揮発性半導体メモリをエネーブルする第1エネープリング装置と、

(c) そのビットを消去して第2論理レベルにするよう、不揮発性半導体メモリをエネーブルする第2エネープリング装置と、

から成り、多段消去シーケンスは、一旦開始されると、完了するため不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリの多段消去シーケンスを実行する回路。

【請求項3】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリをプログラムする回路において、

(a) プログラム動作のタイミングをとり、期間終端カウント信号を供給する期間計数装置と、

(b) プログラム動作を計数し、事象終端カウント信号を供給する事象計数装置と、

(c) 不揮発性半導体メモリのビットをパターン・ビットと比較しかつ整合信号を供給する装置と、

(d) 事象計数装置と期間計数装置と比較装置とに結合したコントローラと、

から成り、プログラミングを開始する命令を受信すると、コントローラによりメモリのビットがパターン・ビットにしたがってプログラムされ、かつ回路は、一旦開始されると不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリをプログラムする回路。

【請求項4】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリを消去する回路において、

(a) 消去動作のタイミングをとり、期間終端カウント信

号を供給する期間計数装置と、

(b) 消去動作を計数し、事象終端カウント信号を供給する事象計数装置と、

(c) 不揮発性半導体メモリのビットをパターン・ビットに比較し、整合信号を供給する装置と、

(d) 事象計数装置と、期間計数装置と、比較装置とに結合し、多段消去シーケンスを制御するコントローラと、
から成り、コントローラは、そのビットをプレコンディショニングして第1論理レベルにしかつそのビットを消去して第2レベルにするよう、不揮発性半導体メモリと、事象計数装置と、期間計数装置と、比較装置とをエネーブルする制御信号を供給し、コントローラは、開始命令に応じて多段消去シーケンスを開始し、さらに一旦開始されると、回路は不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリを消去する回路。

【請求項5】 不揮発性半導体メモリのビットがプログラミングされたかどうかを示す状態レジスタにおいて、

(a) アクティブおよびイナクティブなレベルを有する故障信号を記憶するラッチと、

(b) ラッチの出力を出力エネーブル信号に同期させる同期装置と、

から成ることを特徴とする状態レジスタ。

【請求項6】 不揮発性半導体メモリをプログラムする方法において、

(a) プログラミングを開始する命令を受信する過程と、

(b) 不揮発性半導体メモリの外部装置からの制御なしで、パターン・ビットにしたがって不揮発性半導体メモリのビットをプログラムするよう不揮発性半導体メモリと書き込み状態回路をエネーブルする過程と、

から成ることを特徴とする、不揮発性半導体メモリをプログラムする方法。

【請求項7】 一旦消去が開始されると、不揮発性半導体メモリの外部装置からの制御なしで不揮発性半導体メモリを消去する方法において、

(a) 消去を開始する命令を受信する過程と、

(b) 不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするよう不揮発性半導体メモリと書き込み状態回路をエネーブルする過程と、

(c) 不揮発性半導体メモリのビットを消去して第2レベルにするよう不揮発性半導体メモリと書き込み状態回路をエネーブルする過程と、

から成ることを特徴とする、不揮発性半導体メモリを消去する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体メモリに関し、更に詳しくは不揮発性半導体メモリを消去しかつプログラムする回路および方法に関する。

【0002】

【従来の技術】従来の不揮発性半導体メモリの一つに、フラッシュ電氣的消去可能プログラム可能読出し専用メモリ（「フラッシュEEPROM」）がある。フラッシュEEPROMはユーザがプログラムすることができ、一旦プログラムされると、フラッシュEEPROMは、消去されるまでそのデータを保持する。また、消去後、フラッシュEEPROMを新しいコードまたはデータでプログラムすることができる。フラッシュ・メモリは、普通の電氣的消去可能プログラム可能読出し専用メモリ（「EEPROM」）とは消去に関して異なっている。普通のEEPROMは代表的には、個々のバイト消去制御に対して一つの選択トランジスタを使用しているが、フラッシュ・メモリは、代表的には、単一のトランジスタ・セルではるかに高い記録密度を実現することができる。ある従来技術のフラッシュ・メモリの消去中、メモリ・アレイの各メモリ・セルのソースには同時に高電圧が供給され、これにより、全アレイが消去される。

【0003】従来のあるフラッシュEEPROMにおいて、論理「1」は、ビット・セルに関するフローティング・ゲートにエレクトロンがほとんど蓄積されていないことを意味している。論理「ゼロ」は、ビット・セルに関するフローティング・ゲートに多量のエレクトロンが蓄積されていることを意味している。この従来のフラッシュ・メモリを消去することにより、論理1が各ビット・セルに記憶される。前に消去することなしには、そのフラッシュ・メモリの各単一ビット・セルを、論理ゼロから論理1に重ね書きすることはできない。しかし、消去された状態に関するエレクトロンの固有数を含んでいるフローティング・ゲートにエレクトロンを単に加えるだけで、そのフラッシュ・メモリの各単一ビット・セルを論理1から論理ゼロに重ね書きすることができる。

【0004】従来のフラッシュEEPROMには、カリフォルニア州サンタクララ市のインテル・コーポレーションにより市販されている28F256相補形金属酸化膜半導体（「CMOS」）があり、これは256キロビットのフラッシュEEPROMである。28F256フラッシュ・メモリは、電氣的消去と再プログラミングを管理する命令レジスタを含んでいる。命令は、標準的なマイクロプロセッサの書き込みタイミングを用いて制御マイクロプロセッサから命令レジスタに書込まれる。命令レジスタの内容は、消去およびプログラミング回路を制御する内部状態マシンの入力として働く。この制御マイクロプロセッサは、フラッシュ・メモリの消去およびプログラミングを制御する。マイクロプロセッサは、フラッシュ・メモリを消去するのにインテル・コーポレーションの従来のQuick-EraseTMアルゴリズムを使用することができる。従来のQuick-EraseTMアルゴリズムでは、全ビットは、最初、チャージ状態、すなわち00（16進法）にプログラムされなければ

ならない。その後、トランジスタのゲートをゼロ・ボルトに保持しながら、10msecの期間アレイにおけるトランジスタのソースを高電圧レベルに引き上げることで、消去が行なわれる。各消去動作後に、バイトの検査が行なわれる。従来のQuick-EraseTMアルゴリズムにより、バイト当たり最高3000の消去動作が消去故障を認識することができる。ディバイスを適切に動作させるには、消去手続きに厳密にしたがわなければならない。また、マイクロプロセッサは、フラッシュ・メモリをプログラムするのにインテル・コーポレーションの従来のQuick-Pulse ProgrammingTMアルゴリズムを使用することができる。このQuick-Pulse ProgrammingTMアルゴリズムでは、特定の継続期間と電圧レベルのプログラミング・パルスがプログラム電源VPPとディバイス電源VCCに供給されなければならない。たとえば、ある従来のインテルのフラッシュ・メモリにおいて、VPPは12.75ボルトに保持され、プログラミング・パルスの継続期間は10μsecである。プログラミング・パルスが供給された後、ユーザは、アドレスされたメモリ・セルが適切にプログラムされたかどうかを検査する。適切にプログラムされていない場合、プログラミング・エラーが認識される前に、プログラミング・パルスが何回も再供給される。インテルのQuick-Pulse ProgrammingTMアルゴリズムでは、バイト当たり最高25のプログラミング動作が可能である。フラッシュ・メモリが適切でしかも高い信頼性で動作するには、プログラミング手続きに厳密にしたがわなければならない。

【0005】フラッシュ・メモリの消去およびプログラミングを制御するのにマイクロプロセッサを使用している従来の方法は、マイクロプロセッサを拘束するので、比較的高いレベルのマイクロプロセッサを必要とするという欠点を有している。すなわち、これはシステムの処理能力を低減することになる。フラッシュ・メモリの消去およびプログラミングを制御するのに制御マイクロプロセッサを使用している従来の方法の別の欠点は、代表的な消去／プログラミング・ソフトウェアが比較的複雑なことである。この複雑なソフトウェアでは、ユーザが比較的高い知識を持っていなければならない。さらに、この複雑なソフトウェアは、フラッシュ・メモリの消去のし過ぎなど顧客が間違える可能性が高くなる恐れがある。

【0006】

【発明が解決しようとする課題】本発明の目的は、不揮発性半導体メモリをプログラミングおよび消去する回路および方法を提供することである。本発明の他の目的は、不揮発性半導体メモリを消去およびプログラムするのに要するマイクロプロセッサ・コードの量を最少にすることである。本発明の別の目的は、不揮発性半導体メ

メモリを自動的に消去しかつプログラムする一方、マイクロプロセッサがシステムの要求に応じることができるようにすることである。

【0007】

【課題を解決するための手段】本発明は、不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路を提供する。回路と不揮発性半導体メモリは同じ基板上に設けられている。回路は、多段プログラム・シーケンスを開始する命令を記憶する装置を含んでいる。多段プログラム・シーケンスは、一旦開始されると、完了するために不揮発性半導体メモリの外部装置からの制御を必要としない。回路は、データ・パターンにしたがって不揮発性半導体メモリのビットをプログラムする第1エネープリング装置を含んでいる。本発明は、不揮発性半導体メモリの多段消去シーケンスを実行する回路を提供する。回路と不揮発性半導体メモリは同じ基板上に設けられている。回路は、多段消去シーケンスを開始する命令を記憶する装置を含んでいる。多段消去シーケンスは、一旦開始されると、完了するために不揮発性半導体メモリの外部装置からの制御を必要としない。この回路は、不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにする第1エネープリング装置を含んでいる。第2エネープリング装置は、不揮発性半導体メモリのビットを消去して第2論理レベルにする。本発明は、不揮発性半導体メモリをプログラムする方法を提供する。多段プログラム・シーケンスを開始する命令が受信される。不揮発性半導体メモリと書き込み状態回路は、不揮発性半導体メモリの外部装置からの制御なしに、パターン・ビットにしたがって不揮発性半導体メモリのビットをプログラムするようエネーブルされる。本発明は、一旦消去が開始されると、半導体メモリの外部装置からの制御なしに不揮発性半導体メモリを消去する方法を提供する。消去を開始する命令が受信される。そして、不揮発性半導体メモリと書き込み状態回路は、不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするようエネーブルされる。その後、不揮発性半導体メモリと書き込み状態回路は、不揮発性半導体メモリのビットを消去するようエネーブルされる。

【0008】

【実施例】以下、添付の図面に基いて、本発明の実施例に関し説明する。図1は、本発明の実施例のフラッシュEPROM回路20のブロック図を示している。フラッシュEPROM20は、フラッシュ・メモリ20とも呼称されている。以下に詳細に示すように、フラッシュEPROM20は書き込み状態回路32を含んでいる。書き込み状態マシン回路32は、マイクロプロセッサ999からの開始命令によってのみ、必要に応じてメモリの内容をプログラムしたりまたは消去するよう、多段シーケンスで不揮発性半導体メモリ20をシーケンスする。プログラムまたは消去シーケンスが一旦開始されると、書き

み状態マシン32はプログラミングおよび消去を制御する。状態レジスタ34は、プログラムおよび消去動作が完了した時をマイクロプロセッサ999に示す。VPP36はフラッシュ・メモリの消去/プログラム電源電圧である。VCCはフラッシュ・メモリ20のディバイス電源で、VSSはアースである。ある実施例では、VPP36は12.0ボルトで、VCCは約5ボルトである。

【0009】VPPが高電圧でない場合、フラッシュ・メモリ20は読出し専用メモリとして動作する。ライン24を介して供給されるアドレスに記憶されたデータは、メモリ・アレイ22から読出され、データ入力/出力ライン26を介してフラッシュ・メモリ20の外部回路において使用される。フラッシュ・メモリ20は、三つの制御信号、すなわちチップ・エネーブル・バーCEB44、WEB46、出力・エネーブル・バーOEB42を有する。チップ・エネーブル・バーCEB44入力は電力制御入力で、フラッシュ・メモリ20を選択するのに使用される。CEB44はアクティブ・ローである。出力・エネーブル・バー入力OEB42は、フラッシュ・メモリ20の出力制御入力で、フラッシュ・メモリ20の出力ピンからデータをゲートするのに使用される。OEB42はアクティブ・ローである。制御信号CEB44とOEB42は、フラッシュ・メモリ20のデータ・ライン26においてデータを得るため論理的にアクティブでなければならない。CEB44が低い間、書き込みエネーブル・バー信号WEB46は、命令状態マシン28への書き込みを行なうことができる。書き込みエネーブル・バー信号WEB46はアクティブ・ローである。アドレスとデータは、WEB46の立上り縁でラッチされる。また、標準マイクロプロセッサのタイミングが使用される。

【0010】ディバイスの動作は、データ入力/出力ライン26を介してフラッシュ・メモリに特定のデータ・パターンを書込むことにより選択される。図2はいくつかの命令を示している。図2のSRDは、状態レジスタ34から読出されるデータを示している。さらに、図2のPAはプログラムされるべきメモリ場所のアドレスを示し、PDはアドレスPAにプログラムされるべきデータを示している。消去は、図1の全アレイ22において実行され、かつ2サイクル命令シーケンスにより開始される。最初に消去セットアップ命令が、続いて消去確認命令が書込まれる。アレイのプレコンディショニング、消去、および消去検査は、全て書き込み状態マシンにより内部処理されるので、マイクロプロセッサ999に見分けられない。消去動作には約1秒かかる。実行前のこの2段階の消去セットアップにより、メモリの内容が不測に消去されないようにしている。したがって、VPPに高電圧が供給される時だけ、消去することができ、この高電圧が供給されない場合、メモリの内容は消去されないよう保護されている。

【0011】消去事象は、二つの主なタスク、すなわち
プレコンディションと消去を含んでいる。セルの電圧を
約6.75ボルトにしてアレイ22をプレコンディショ
ンすることは、セルの漏洩につながるようなレベルまで
セル電圧が消去中に降下しないようにして、アレイ22
の寿命を保護する。アレイ消去は、セル電圧を約3.2
5ボルトすなわち論理1にする。マイクロプロセッサ9
99は、読出し状態レジスタ命令を発生し、状態データ
を分析することにより消去事象の完了を検出することが
できる。状態レジスタ34が消去の完了を示した時、消
去故障状態ビットをチェックしなければならない。検査
の後、状態レジスタ34のエラー・ビットを適切にクリ
ヤしなければならない。その他の動作は、適切な命令を
与えた後だけに行なわれる。プログラミングもまた、2
サイクル命令シーケンスにより実行される。プログラム
・セットアップ命令がデータ・ライン26を介して命令
状態マシン28に書込まれ、続いて、第2書込み命令
が、プログラムされるべきアドレスおよびデータを指定
する。その後、書込み状態マシン32が、プログラムお
よび検査アルゴリズムの内部制御を引き継ぐ。状態レジ
スタ読出し命令による状態レジスタ34のポーリング
は、プログラミング・シーケンスがいつ完了したかを決
定する。プログラミングがアクティブである間、読出し
状態レジスタ命令だけがバリドである。

【0012】状態レジスタ34がプログラミングの完了
を示した時、プログラム・フェイル・ビットをチェック
しなければならない。検査の後、マイクロプロセッサ9
99は適切に状態レジスタ・エラービットをクリアしな
なければならない。本実施例では、図1に示されているフ
ラッシュ・メモリ20の回路は単一基板上にある。ま
た、本実施例では、フラッシュ・メモリ20はCMOS
回路を用いている。フラッシュ・メモリ20は、アドレ
スにデータを記憶するメモリ・セルを含んでいるメモリ
・アレイ22を有している。さらに、フラッシュ・メモ
リ20は、オン・チップ命令状態マシン（「CSM」）
28とシンクロナイザ30と書込み状態マシン（「WS
M」）32と状態レジスタ34を含んでいる。メモリ・
アレイ22をプログラムまたは消去する命令はデータ・
ライン26から供給される。ライン26のデータは命令
状態マシン28に送られる。命令状態マシン28はその
データをデコードし、それが消去、プログラムまたは状
態レジスタ・リセット命令を表している場合、CSM2
8は適当な制御信号を発生し始める。命令状態マシン2
8により書込み状態マシン32に供給される制御信号は
PROGRAM38、ERASE40、状態レジスタ・
リセット信号STATRS45、アドレス・ラッチ・エ
ネーブル信号ALE49、データ・ラッチ・エネーブル
信号DLE47を含んでいる。プログラムおよび消去ア
ルゴリズムは、後述するように書込み状態マシン32に
より調整され、必要な場合プログラム・パルスの反復と

データの内部検査を含んでいる。書込み状態マシン32
は、入力A[0:16]24とD[0:7]26からの
消去およびプログラム動作を完了するのに必要とされる
アドレスとデータをラッチする。書込み状態マシンのア
ドレスおよびデータのラッチ動作は、CSM28からの
アドレス・ラッチ・エネーブル信号ALE49とデータ
・ラッチ・エネーブル信号DLE47によりそれぞれ制
御される。

【0013】書込み状態マシン32は、アレイ・アドレ
ス信号AY55、AX57とセンス・アンプ出力SOU
T[0:7]59によりメモリ・アレイ22とインタフ
ェイスする。上記出力は、アドレスされたメモリのバイ
トに記憶されたデータを示している。書込み状態マシン
32は、その状態を動作中にSBUS[0:4]出力5
4を介してシンクロナイザ30と状態レジスタ34とに
知らせる。シンクロナイザ30は、書込み状態マシン3
2と命令状態マシン28との間の同期を行なう。アクテ
ィブERASE38またはPROGRAM40信号のい
ずれかを受信すると、シンクロナイザ30はREADY
信号50を論理低にして、書込み状態マシン32がビジ
ーであることを命令状態マシン28と状態レジスタ34
に示す。書込み状態マシン32が動作を完了すると、シ
ンクロナイザ30はREADYを設定することにより書
込み状態マシン32を遮断する。シンクロナイザ30
は、RESET信号52を論理高にすることにより、E
RASE38とPROGRAM40が論理低になるたび
に書込み状態マシン32をリセットする。シンクロナイ
ザ30は、信号LOWVPP51により書込み状態マシ
ン32の動作状態に関する情報を状態レジスタに供給す
る。状態レジスタ34は、SBUS[0:4]出力54
をデコードし、タスクが完了したか否かおよびその成功
をSTATUS出力56によりマイクロプロセッサ99
に示す。STATUS出力56は入力/出力データ・
ライン26にマルチプレックスされる。図3は、書込み
状態マシン32の回路と状態レジスタ34への接続を示
したブロック図を示している。書込み状態マシン32
は、オシレータおよびジェネレータ70、次の状態コン
トローラ72、事象カウンタ74、期間カウンタ76、
アドレス・カウンタ78、データ・ラッチおよび比較器
（「DLC」）80を含んでいる。RESET52は、
書込み状態マシン32中のほとんど全回路に供給され
る。RESET52は、書込み状態マシン32中の重要
なノードを既知状態にする。たとえば、RESET52
は、終端カウント信号88、90、92を論理ゼロにする。

【0014】イナクティブ(inactive)RESET信号5
2を受信した直後、オシレータ/フェーズ・ジェネレー
タ70は、WSM32回路のほぼ全部に送られる二つの
非オーバーラップ位相クロック、位相1 PH1 82
と位相2 PH2 84を発生し始める。PH2 84

はRESET52の後にアクティブな第1クロックである。次の状態コントローラ72は、書き込み状態マシン32のアクティビティを制御しつつ調整して、WSMの次の状態を決定する。次の状態コントローラ72は、WSMの現在の状態を示す五つの出力SBUS[0:4]54を発生する。次の状態コントローラ72からのSBUS[0:4]54を受信する各回路はそれ自身のSBUS[0:4]54をデコードし、次のタスクを決定する。この設計により、多くのタスクを並列に行なうことができるので、消去およびプログラム機能を行なうのに要する時間を最小にすることができる。期間カウンタ76は、プログラムおよび消去動作中、アレイ電圧に関するパルス期間を決定しつつタイミングをとる。期間カウンタ76により示された別の期間は、プログラミングまたは消去とメモリ・セルからのバリド・データの検査との間の遅れである。アクティブ高になることにより、期間カウンタ76の終端カウント信号PCTRTC88は、選択された期間が経過したことを次の状態コントローラ72に知らせる。期間カウンタ76は、SBUS[0:4]54をデコードして、目標のパルス期間を選択する。SBUS[0:4]出力54により、期間カウンタ76は、期間カウンタ76がエネーブルされる前のある状態にカウントをリセットする。事象カウンタ74は、1バイト当り最大のプログラミングまたは消去動作数にいつ到達したかを決定する。1バイト当り最大の動作数に到達した時、事象カウンタ74は、事象終端カウント信号ECTRTC90を論理高にすることによって、次の状態コントローラ72に知らせる。事象カウンタ74は、SBUS[0:4]出力54をデコードすることにより、最大動作数を決定する。本実施例では、1バイト当り最大プログラム動作数は50に設定され、また1バイト当り最大消去動作数は8192に設定されている。

【0015】WSM32におけるアドレス・カウンタ78は、入力バッファおよびカウンタの両方として働く。READY50が高の場合、アドレス・ラインA[0:16]は、信号AY[0:6]55とAX[0:9]57として出力する。信号AY55とAX57は、プログラム、消去、または読出しされるべきメモリ・アレイ22におけるバイトの場所を示している。アドレスが入力バッファに入力されると、入力バッファからのアドレスは、信号ALE49によるCSM28の制御の下、アドレス計数回路にロードされる。アドレス・カウンタ78は、その後、メモリ・アレイ22における全アドレスをカウントする。アドレス・カウンタ78は、終端カウントACTRTC92を論理1にすることにより、メモリの最後に到達したことを次の状態コントローラ72に示す。データ・ラッチおよび比較器(DLC)80は、WSM32と命令状態マシン28とメモリ・アレイ22とデータ・ライン26の間のインタフェースである。デー

タ・ライン26のTTLデータ入力は、DLC80によりバッファされ、DATAIN[0:7]信号27として命令状態マシン28に送られる。DATAIN[0:7]ライン27で受信された信号がプログラム命令を示している場合、命令状態マシン28は、データ・ラッチエネーブル信号DLE47を論理1に設定することにより、DLC80にデータ・ライン26における情報を記憶するよう指示する。プログラム動作中、DLC80は、そのラッチに記憶されているデータをセンスアンプ信号SOUT[0:7]59に比較し、MATCH94を論理高に設定することにより整合を示す。DLC80は、メモリ・セルの内容を示しているセンスアンプ信号SOUT[0:7]59を、消去検査手続き中、基準論理レベルと比較し、MATCH94を論理高に設定することにより、次の状態コントローラ72に消去がうまくいったことを知らせる。状態レジスタ34は、データ入力/出力ライン26にマルチプレックスされる状態信号STAT[3:7]56を介してマイクロプロセッサ999に書き込み状態マシン32の状態を知らせる。状態レジスタ34は、信号READY50、LOWVPP51、SBUS[0:4]54に基いて書き込み状態マシンの状態を決定する。

【0016】図4は、次の状態コントローラ72の回路のブロック図である。次の状態コントローラ72は、次の状態論理装置110とマスタ・スレーブD-ラッチ112を含んでいる。本実施例では、次の状態論理装置110はプログラム可能論理アレイとして実現されている。次の状態論理装置110は、信号PLOUT[0:4]114、終端カウント信号PCTRTC88、ECTRTC90とACTRTC92、MATCH94、PROGRAM38、ERASE40により示されるような、書き込み状態マシンの前の状態に基いて書き込み状態マシン32中の各回路の次の状態を決定する。次の状態論理装置に入力を供給する各回路は、SBUS[0:4]がアクティブの後にPH284がアクティブになることによってそのように行なう。書き込み状態マシン32の全回路は、PH284の出力がバリドであるマスタ/スレーブであるので、それらはそのように行なうことができる。次の状態論理装置110の出力は、ラッチ112にラッチされ、SBUS[0:4]54として書き込み状態マシン回路の残りに供給される。状態バス出力SBUS[0:4]54は、RESET52がクリアされた後、第2PH284の立上り縁でアクティブになる。SBUS[0:4]54がPH284をアクティブにした結果、各WSM32は、PH182が高である間、SBUS[0:4]54を評価する。

【0017】次の状態コントローラ72により実現されるプログラミングおよび消去の方法は、図5、6の状態図に基いて説明する。図において、各円は書き込み状態マシン32の状態を示している。各状態の名前は、各円の

上部ラインに示されている。各状態に関するS BUS [0:4] 54の値は、状態の名前の下に示されている。各状態において選択またはエネーブルされる信号は、S BUS値の下に示されている。次の状態コントローラ72を他の状態に分岐させる信号の組合せは、前にイクスクラメーション・マーク「！」が付いたイナクティブ信号とともに、各分岐のそばのテキストに示されている。次の状態コントローラ72は、分岐の次に信号の組合せが示されていない場合、次の状態コントローラ72の入力に関係なく、一つの状態から他の状態に分岐する。

【0018】電力がフラッシュ・メモリ20に供給されると、次の状態コントローラ72はRESET52によりPOWER_UP状態120に保持される。この状態において事象は生ぜず、次の状態コントローラ72は、命令状態マシン28からアクティブPROGRAM38またはERASE40を受信した後に、実行を開始する。パワ・アップ後、次の状態コントローラ72が、分岐122により示すようにアクティブPROGRAM38信号とアクティブERASE40信号を受信すると仮定する。これら入力信号により、次の状態コントローラ72はHARDWARE_ERR状態124に分岐する。HARDWARE_ERR状態124において、状態レジスタ34の二つのフェイル・ビットPRG_ERRとERASE_ERRは、ハードウェア故障を示す論理高に設定される。状態124から、書込み状態マシン32は、次の状態コントローラ72の入力信号に関係なく、POWER_UP状態120に分岐して戻る。状態120になった後、次の状態コントローラ72がアクティブPROGRAM38およびイナクティブERASE40を受信すると仮定する。この信号の組合せは、アドレス・ライン24により示されるバイトで行なわれるプログラム事象を開始する。示されたバイトは、実質的にデータ・ライン26に示された値にプログラムされる。この状況において、次の状態コントローラ72は、分岐126をPROG_SETUP状態132にする。PROG_SETUP状態132において、次の状態コントローラ72は、プログラム事象に関し構成される。状態132において、期間カウンタ76はリセットされ、事象カウンタ74のプログラム・カウントが選択される。メモリ・アレイ22におけるプログラム通路はセットアップされる。その後、次の状態コントローラ72は、分岐134をPROGRAM状態136にする。状態136において、信号AY55とAX57により示されるバイトは、ほぼ6.75ボルトの電圧レベル、論理0にプログラムされる。状態136中、期間カウンタ76は、そのプログラム期間を選択することにより、プログラム動作に関して構成される。書込み状態マシン32は、期間カウンタ72が終端カウントに到達するまで、状態136のままである。この到達は、プログラム

電圧が、バイト電圧を6.75ボルトにするのに十分な期間に供給されたことを示している。

【0019】次の状態コントローラ72は、PCTRTC88がアクティブすなわち論理高になる時、分岐138をプログラム等化状態PROG_EQ140にする。状態140における事象は、書込み状態マシン32とアレイにプログラム検査を行なう、すなわち前のプログラム動作が成功したかどうか決定するよう準備させる。状態140において、期間カウンタ76はリセットされ、事象カウンタ74はエネーブルされ、そのカウントがインクリメントする。アレイ22はエネーブルされ、バイトが読出され、アレイ22におけるプログラム検査回路はターン・オンされる。プログラム検査を行なうよう部分的に構成されていると、次の状態コントローラ72は、状態140からPROG_VER_DELAY状態142に分岐する。状態142において、書込み状態マシン32は、信号SOUT[0:7]を、DLC80に記憶されたプログラム・データに比較することにより、アドレスされたバイトがうまくプログラムされたことを検査する。期間カウンタ76は、SOUT[0:7]59が検査前に確実にバリドであるようにするため、検査遅延をもたらす。アレイ22は、ワード・ラインをエネーブルしかつ読出し通路をターン・オンすることにより、プログラム検査用に構成される。DLC80は、信号CMPEN287をアクティブにしかつ信号PGVER285をアクティブにすることにより、プログラム検査を行なうように構成される。アクティブの場合、信号PGVER285により、DLC80は、マイクロプロセッサ999が、プログラム動作中、プログラムされたビットを消去するよう試みた場合整合を示す。CMPE N287とPGVER285の作用については、図13のDLC80のブロック図に関して詳細に後述する。状態142中、事象カウンタ74のプログラム計数は、事象計数をプログラム事象モードに保持するよう選択されたままである。PCTRTC88がアクティブになると、次の状態コントローラ72はMATCH94を調べて、アドレスされたバイトがうまくプログラムされたかどうかを決定する。バイトがうまくプログラムされた場合、MATCH94は論理1で、そうでない場合には論理0である。

【0020】マイクロプロセッサ999がプログラム動作を要求されたとすると、次の状態コントローラ72は、状態142から三つの分岐の内の二つだけを行なうことができる。次の状態コントローラ72は、前のプログラム動作がうまくいかず、事象カウンタ74が最大事象カウントを超えなかった場合、分岐144をPROGRAM_SETUP状態132に戻す。書込み状態マシン32は、どちらが最初に起きても、バイトがうまくプログラムされるか、または事象カウンタ74がタイムアウトするまで、状態132、136、140、142を

循環する。事象カウンタ74がタイムアウトするか、またはバイトがうまくプログラムされた場合、次の状態コントローラ72は、分岐146を第1プログラム実行状態PROG_DONE1 148に送る。状態148では何の事象も起きない。次の状態コントローラ72は状態148からPROG_DONE2状態150に分岐する。またもや事象は起きない。プログラム事象中、次の状態コントローラ72は、状態150から三つの分岐152、154、または159に送るしかない。次の状態コントローラ72は、次の状態コントローラ72が何らかの違法SBUS状態割当てを受けると、分岐159を状態124に送る。HARDWARE_ERR状態159では、状態レジスタのPRG_ERRとERASE_ERRビットの両方が設定される。その後、次の状態コントローラ72は状態159から状態120に送り、プログラム事象はハードウェア故障で終了する。図7は、ハードウェア・エラーとしてマップされている、状態のSBUS値を示している。図8は、名前を図7で用いられる信号頭文字に対する信号名を示している。プログラム動作がうまくいかなかった場合、次の状態コントローラ72は、分岐152を状態150からPRG_FAIL状態160に送る。PROG_FAIL状態160において、状態レジスタのプログラム・フェイル・ビットPRG_ERRが設定される。その後、次の状態コントローラ72はPOWER_UP状態120に戻す。プログラム事象は故障として終了する。

【0021】一方、プログラム動作がうまくいった場合、次の状態コントローラ72は、分岐154を、状態150から状態120に直接的に移す。この時、プログラム事象は成功のうちに完了する。メモリ・アレイ22の消去は、POWER_UP状態120においてアクティブERASE信号38とイナクティブPROGRAM信号40を受け取るにより開始される。信号のこの組合せにより、消去事象が開始し、次の状態コントローラ72は分岐162をERASE状態164に送る。ERASE状態164において、次の状態コントローラ72は、アドレス・カウンタ、期間カウンタ、事象カウンタ78、76、74をリセットすることによってアレイをプレコンディションするように、書き込み状態マシン32を初期化する。次の状態コントローラ72は、ERASE状態160から状態132に分岐し、アレイ22のプレコンディショニング、すなわちアレイを消去する前に各ビットを論理0にプログラミングすることを開始する。消去動作において、次の状態コントローラ72は、プログラミング動作に関して述べたように、状態132、136、140を循環する。消去動作とプログラミング動作間の相違は、PROG_VER_DELAY状態142からの分岐にある。部分的には、消去は全アレイに対して行なわれるのに対してプログラミングは一度に1バイト行なわれるので、これら相違が生じる。消去

事象における別の可能状態は、アドレス・カウンタをアレイの各バイトにおいて循環する。次の状態コントローラ72は、アドレスされたバイトがうまくプレコンディションされた場合、状態142からPROG_INC_ADD状態166に分岐する。PROG_INC_ADD状態166において、事象は、書き込み状態マシン32がメモリの他のバイトをプレコンディションするよう準備する。アドレス・カウンタ78はエネーブルされ、そのカウントをインクリメントすることができ、それによりアレイ22の新しいアドレスを示す。事象カウンタ74はリセットされ、そのプログラム・カウンタが選択される。プログラム検査信号は、メモリ・アレイ22のプログラム検査回路をエネーブルし、アレイ22はエネーブルされる。

【0022】次の状態コントローラ72は、もしアドレス・カウンタ78がその終端カウントに到達しなければ、状態166からPROG_SETUP状態132に分岐する。書き込み状態マシン32は、メモリ・アレイ22の各バイトがプレコンディションされるか、またはバイトがうまくプレコンディションされなくなるまで、状態132、136、140、142、166を循環する。バイトがうまくプレコンディションされない場合、次の状態コントローラ72はPROG_VER_DELAY状態142からPROG_DONE1状態148に分岐する。状態148では事象は起きず、次の状態コントローラ72はPROG_DONE2状態150に分岐する。消去動作において、次の状態コントローラ72は状態150から三つの分岐156、158または159にしか送ることができない。次に状態コントローラ72は、事象カウンタ74がその終端カウントに到達した時まで、バイトがうまくプレコンディションされなかった場合、分岐156をERASE_FAIL状態168に送る。状態168において、ERASE_ERRビットが設定される。次の状態コントローラ72は状態168からPOWER_UP状態120に戻す。したがって、消去動作は失敗して終了する。一方、全バイトがうまくプレコンディションされた場合、次の状態コントローラ72は、分岐158を状態150からERASE_SETUP1状態170に送る。その後、次の状態コントローラ72は、アレイ22の消去プロセス、すなわちセル電圧を約3.25ボルトにするプロセスを開始する。状態170において、アドレス・カウンタ78と事象カウンタ74はリセットされる。これら動作は、書き込み状態回路とアレイに消去の準備をさせる。次の状態コントローラ72は、状態170からERASE_SETUP2状態172に分岐する。状態172中の事象は、WSM32にアレイ消去の準備をさせる。状態172において、SBUSはデコードし、期間カウンタ76がリセットされ、メモリ・アレイ22の消去検査回路をターンオンさせる。次の状態コントローラ72は、状態17

2からAPPLY_ERASE状態176に分岐する。状態176において、期間カウンタ76が終端カウントに到達するまで消去電圧がアレイに供給される。次に状態コントローラ72は、PCTRTC88がアクティブになると、状態176からERASE_OFF状態178に進める。

【0023】消去検査手続きを見越して、状態178において、期間カウンタ76がリセットされる。事象カウンタ74がエネーブルされ、そのカウントがインクリメントされ、メモリ・アレイ22の読出しラインはエネーブルされ続け、メモリの内容の読出しをアクセスすることができる。消去検査回路はターン・オンされたままである。次の状態コントローラ72は、状態178から状態180に分岐する。ERASE_VERIFY状態180において、書込み状態マシン32は、メモリの示されたバイトがうまく消去されたかどうかを決定する。状態180における事象は、WSM32が検査を実行するよう構成する。状態180において、期間カウンタ76はリセットされ、その消去検査の遅延が選択される。消去検査の遅延は、大体、消去電圧が除去される時とSOUT[0:7]信号59がバリドになる時の間の時間である。状態180において、DLC80回路は、信号COMPDAT283を論理1に設定しかつ信号CMPEN287をアクティブにすることにより、アドレスされたバイトがうまく消去されたことを検査するよう構成される。信号COMPDAT283とCMPEN287とDLC80回路については後述する。状態180において、アレイの読出し通路はターン・オンされ、アレイはエネーブルされて、アレイ22は出力SOUT[0:7]59をDLC80に供給することができる。期間カウンタ76がタイムアウトした後、次の状態コントローラ72は、MATCH信号94を検査することにより、消去動作がうまくいったかどうかを決定する。MATCH94は、バイトがうまく消去された場合、論理1で、うまくいかなかった場合は論理0である。次の状態コントローラ72は、状態180から状態172に分岐し、現在アドレスされたバイトがうまく消去されずかつ事象およびアドレス・カウンタ74、78が終端カウントに到達しなかったことをMATCH94が示している場合、別の消去パルスを提供する。書込み状態マシン32は、事象カウンタ74がタイムアウトするか、またはアドレスされたバイトの消去がうまく検査されるまで、状態172、176、180を循環する。

【0024】次の状態コントローラ72は、事象カウンタ74が終端カウントに到達した後メモリ・バイトがうまく消去されない場合、分岐182をERASE_FAIL状態168に送る。状態168において、ERASE_ERRビットが設定される。その後、書込み状態マシン32は状態120に分岐する。このように、消去シーケンスはうまくいわずに終了する。次の状態コントロ

ーラ72は、バイトがうまく検査されかつイナクティブACTRTC信号92により示すようにアレイ中のどのバイトも消去されたわけではない場合、状態180からERASE_INC_ADD状態184に分岐する。状態184において、アドレス・カウンタ78はエネーブルされ、そのカウントがインクリメントされかつ信号AY55とAX57はアレイ22の別のバイトを示すことができる。状態184において、メモリ・アレイ22とDLC80は、CMPEN287をアクティブにし、アレイ22をエネーブルしかつアレイ読出し通路と消去検査回路をターンオンすることにより、読出されて、別の検査動作を行なう。アレイ22の新しいバイトを示した後、書込み状態マシン32は、現在のバイト値を目標値に比較して、示されたバイトの消去が必要かどうかを決定する。これら事象は、状態180、184、186において起きる。次の状態コントローラ72は、状態184からERASE_INC_DELAYに分岐する。状態186は消去検査動作が行なわれる前にわずかな遅延をもたらす。状態186において、DLC80は、COMPDAT283を論理1に、かつCOMPEN287をアクティブに保持することにより、消去検査構成に保持される。メモリ・アレイ22は、エネーブルされ続け、かつ読出し通路と消去検査回路はオンのままである。状態186において、読出し状態マシン32は、ERASE_VERIFY状態180に戻る。DLC80は、現在のメモリ場所の内容を消去電圧レベルに比較する。検査の結果、バイトが既に消去されていることが示された場合、次の状態コントローラ72は、消去されないバイトがメモリ・アレイ22に配置されるまで、またはアドレス・カウンタ78が最終カウントに到達するまで、状態184、186、180を循環する。

【0025】次の状態コントローラ72は、消去されないメモリ場所に到達しかつアドレス・カウンタ78がいまだ終端カウントに到達しなかった場合、ERASE_VERIFY状態180から状態172に戻る。書込み状態マシン32は、メモリ・アレイ22の終りに到達するか、またはバイトがうまく消去されなくなるまで、前述したように状態172、176、178、180、184、186を循環する。全バイトがうまく消去された場合、アクティブなACTRTC92により示されるように、うまく消去された場合、次の状態コントローラ72は分岐188をPOWER_UP状態120に進める。アレイ22の消去は成功の内に完了される。図9は、オシレータおよび位相ジェネレータ70のブロック図である。オシレータ200はイナクティブRESET信号52を受信すると動作を開始する。オシレータ200はRESET52がイナクティブである限り実行する。RESET52がアサートされる時、オシレータ200は実行を終了する。オシレータの出力202はフェーズ・ジェネレータ204に供給される。フェーズ・ジ

ジェネレータ204は、活動化されるまでイナクティブに保持される2ビット・シフト・レジスタを含んでいる。シフト・レジスタは、四つの組合せ、すなわち“00”、“01”、“11”、“10”にシフトする。フェーズ・ジェネレータ204の二つのデコーダは、“01”と“10”を待ちかまえ、WSM32回路のほぼ全部に送られる二つの出力クロックすなわちPH1 82とPH2 84を発生する。本実施例において、PH1 /PH2 82、84は500nsの代表的なサイクル時間を有している。PH1 82とPH2 84のデューティ・サイクルは約25%である。図10は、RESET52とSBUS[0:4]54に関するPH1 82とPH2 84に関するスタート・アップ・タイミングを示している。RESET52はPROGRAM38またはERASE40のいずれかの立ち上がり縁で低くなる。RESET52の降下後、PH2 84は、アクティブ高にする第1クロックである。SBUS[0:4]54は、第2PH2 84パルスの立ち上がり縁でアクティブになり、全WSM32回路は、バリッドな読出しを保証するため、PH1 82がアクティブな間、SBUS[0:4]54を評価する。

【0026】図11は、期間カウンタ76を形成する回路のブロック図である。期間カウンタ76は、期間カウンタSBUSデコーダ210と15ビット・シフト・レジスタ・カウンタ212と終端カウント整合回路214およびラッチ216を含んでいる。期間カウンタSBUSデコーダ210は、カウンタ212と終端カウント整合回路214を制御する。デコーダ210はSBUS信号をデコードし、かつカウンタ212をリセットすべきかどうか決定しかつ三つの終端カウント間で選択する。各状態におけるSBUSデコーダ210の動作は、図7に関して決定される。たとえば、図7は、APPLY ERASE176において、PCTSELEERSを論理1に設定することにより、SBUSデコーダ210が消去終端カウントを選択することを示している。SBUSデコーダ210は、本実施例ではランダム論理装置として実現されている。シフト・レジスタ・カウンタ212は、エネーブルなカウンタを内蔵していないので、アクティブPCTRST信号218によりリセットされている状態を除いて、全状態で実行し続ける。シフト・レジスタ212のQ出力220は、終端カウント整合回路214に供給される。終端カウント整合回路214は、Q出力を分析しかつ選択された終端カウントにいつ到達したかを示す。終端カウント整合回路は、アクティブ信号PCTSELEERS、PCTSELPGM、PCTSE LVERにより選択される三つの終端カウント、すなわち消去、プログラム、検査を認識する。プログラミング動作に関する期間は約10μsecで、消去動作に関しては約10msecで、検査動作に関しては約3μsecである。カウンタ212がTCOUNT222をイン

クリメントし続けるので、出力TCOUNT222は、たった一つの状態においてアクティブである。アクティブな終端カウントTCOUNT222を記憶するため、ORゲート217とともにラッチ216が使用される。ラッチ216は、書き込み状態マシン32が最初パワアップされると、RESET52によりリセットされ、Q出力224を論理0に設定する。ラッチ216はPCTRST218信号がアサートされる時、リセットされる。TCOUNT222がアクティブ高になると、Q出力224を論理1になる。Q出力224は、TCOUNT222がイナクティブになった後、ラッチの入力を論理1に保持し、ラッチ216がRESET52によりリセットされるまで、PCTRTC88を論理1に保持する。

【0027】図12は、事象カウンタ74のブロック図である。事象カウンタ74は、事象カウンタSBUSデコーダ230と、13ビット・カウンタ232と、事象カウンタ終端カウント選択回路234と、ラッチ236と、ORゲート238を含んでいる。事象カウンタSBUSデコーダ230は、カウンタ232と終端カウント整合回路234を制御する。デコーダ230はSBUS信号をデコードし、カウンタ232をエネーブルすべきか、またはリセットすべきかどうかを決定し、かつ二つの可能事象カウンタ終端カウント間で選択する。各WSM状態に関するSBUSデコーダ230の動作は図7に基いて決定される。たとえば、図7は、ERASE_VERIFY状態180において、SBUSデコーダ230は、ECTRERを設定することにより消去終端カウントを選択することを示している。事象カウンタSBUSデコーダ230は、本実施例においてはRANDOM論理装置として実現されている。カウンタ232は、WSMが、新しいバイトのプログラム、プレコンディション、または消去を開始する時にはいつでも、SBUSデコーダ230によりリセットされる。リップルけた上げカウンタ232は、アクティブECTREN信号240によりエネーブルされる時だけ、そのカウントをインクリメントする。カウンタ232のQ出力242は、事象カウンタ終端カウント整合回路234に供給される。事象カウンタ終端整合回路234は、Q出力242を分析し、選択された終端カウントに到達する時を示す。事象カウンタ終端整合回路234は、信号ECTRERおよびECTRPGにより選択される二つの終端カウント、すなわち消去およびプログラムを認識する。消去事象が選択された時、事象カウンタ74により、8000以上の消去パルスが供給され、プログラム事象が選択された場合、50プログラム・パルスが供給される。

【0028】TCOUNT244は、ラッチ236とORゲート238を用いているTCOUNT222と全く同じ方法でラッチされる。図13は、アドレス・カウンタ78のブロック図である。アドレス・カウンタ78は、TTL入力バッファ250、252と、アドレス・

カウンタSBUSデコーダ254、256と、17ビット線形カウンタ258と、バイパス・マルチプレクサ260を含んでいる。バッファ250、252は、TTLアドレス入力A[0:16]24をCMOSレベルに変換する。バッファ出力AIN[0:16]262は、バイパス・マルチプレクサ260とカウンタ258の並列ロード入力に供給される。READY信号50が論理高の場合、アドレス・カウンタ78は、バイパス・マルチプレクサ260の出力としてバッファされたTTL出力262を選択することにより、フロー・スルー・アドレッシングを行なう。アドレス・カウンタSBUSデコーダ254、256は、カウンタ258の動作を制御する。SBUSデコーダ254は、カウンタ258にリセット信号ACTRRST266を供給する。SBUSデコーダ256は、SBUS[0:4]54をデコードし、カウンタ・エネーブル信号ACTEN268を発生する。SBUSデコーダ254、256の動作を図7に関して説明する。たとえば、図7は、信号ACTEN268を論理1にすることにより、SBUSデコーダ256がPROG_INC_ADD状態166においてカウンタ258をエネーブルすることを示している。アドレス・カウンタのSBUSデコーダ254、256は、本実施例ではランダム論理装置として実現されている。カウンタ258は、並列ロードの17ビット線形カウンタで、ここでの詳細な説明は省略する。プログラム動作中、アドレス・カウンタ78は以下のように動作する。命令状態マシン28がプログラム命令を書込み状態マシン32に発生する前、READY信号は、書込み状態マシン32が動作を実行する状態にあることを示す論理高である。これは、バッファ・マルチプレクサ260の出力としてTTLバッファ出力262を選択する。信号PROGRAM38をアクティブ状態にする前に、命令状態マシン28はアドレス・ラッチ・エネーブル信号ALE49をアクティブにする。ALE49は、バッファされたアドレス出力AIN[0:16]262をカウンタ258にロードする。信号AQ262とAIN264は、カウンタ258がエネーブルされそのカウントをインクリメントするまで同じ値である。

【0029】バイパス・マルチプレクサ260は、PROGRAM38がアクティブになると、出力としてカウンタ入力AQ[0:16]を選択する。マルチプレクサ260は、READY50をイナクティブにすることによりAQ[0:16]を選択する。プログラム動作中、カウンタ258のカウントをインクリメントすることができないので、カウンタ258は、プログラム動作中、アドレス・ラッチとして働く。消去動作中のアドレス・カウンタ28の動作は、最初はプログラム動作中の動作と同様である。しかし、カウンタ258は、消去動作

中、PROG_INC_ADD状態166とERASE_INC_ADD状態184においてエネーブルされ、信号AY55とAX57は、アクティブなACTRTC92により示すように、アレイ22の最後に到達するまで、メモリ・アレイ22のアドレスを循環することができる。図13は、データ・ラッチおよび比較器回路（「DLC」）80のブロック図である。DLC80は、各データ・ビットに対して一つの、8つのラッチおよび比較器回路270a-270hと、DLC SBUSデコーダ282、284、286と、ANDゲート288と、マルチプレクサ290と、ラッチ292を含んでいる。マイクロプロセッサ999は、CEB44aとWEB46がアクティブに保持している間、データ・ラインDATA[0:7]26を介してフラッシュ・メモリ20に命令を書込む。アクティブなCEB信号44aとアクティブなWEB信号46は、各DLCラッチおよび比較器回路270a-270hにおけるTTL入力バッファ272aをエネーブルし、ライン26のデータをCMOS信号DATAIN[0:7]27に変換する。CSMは、DATAIN[0:7]27がプログラムまたは消去命令を表している場合、データ・ラッチ・エネーブル信号DLE47をアクティブにする。DLE47がアクティブになると、TTLバッファ272a-272hからのデータはラッチ274a-274hにクロックされる。プログラム検査中、ラッチおよび比較器回路270a-270hは次のように動作する。ERASE信号38はイナクティブで、マルチプレクサ276a-276hの10入力をマルチプレクサの出力として選択する。したがって、ラッチ272a-272hに記憶されたデータは、比較器278a-278hのLAT入力に供給される。

【0030】比較器の出力279a-279hは、プログラム・データの各ビットがセンス・アンプ出力SOUT[0:7]59に整合しているかどうかを示す。各比較器278a-278hに関して、二つの比較器の入力SOUTとLATが一致している場合、比較器の出力は論理1である。比較器の入力が一致していない場合、出力は論理0である。プログラム検査中、前述した比較器278a-278hの動作は、アクティブ・プログラム検査信号PGVER283により変更される。表1に示すように、PGVER283がアクティブな場合、比較器278a-278hは論理1を出力し、セルが論理0にある時、ビットは論理1であることが要求される。比較器278a-278hは、書込み状態マシン32がプログラム動作中プログラムされたビットを消去することが出来ないで、この状態での整合を示している。

【0031】

		MATCH 出力	
		PRVER	PGVER
SOUT	LAT	イナクティブ	アクティブ
0	0	1	1
0	1	0	1
1	0	0	0

【0032】全比較器278a-278hの出力279a-279hは、ANDゲート288により共にANDされる。ANDゲート288の出力は、SOUT[0:7]とDATAIN[0:7]の各ビットが整合している場合、論理1で、SOUT[0:7]とDATAIN[0:7]が整合していない場合、論理0である。ANDゲート288の出力は、出力マルチプレクサ290の11入力に供給される。マルチプレクサ290の11入力は、アクティブCMPEN信号287によりマルチプレクサ出力として選択される。CMPEN287は、プログラム検査中アクティブで、ANDゲートの出力289はラッチ292に流れ、MATCH信号94の論理状態を制御する。MATCH94の値は、次の状態マシン72がプログラム検査状態から移動する時、ラッチ292により記憶される。ラッチ292のQ出力は、マルチプレクサ290の10入力に供給される。CMPEN287がイナクティブになると、マルチプレクサ290の10入力が選択され、10入力はラッチ292を制御する。MATCH94は、RESET52によりリセットされる。消去検査中のデータ・ラッチおよび比較器回路270a-270hの動作は、次の事柄を除いてはプログラム検査に関して述べた動作と同様である。第1に、マルチプレクサ276a-276hの11入力は、消去検査中、アクティブなCOMP DAT1信号により論理1に設定される。これは、センス・アンプの出力を比較するための電圧基準を確立する。第2に、アクティブERASE信号38は、比較器278a-278hに出力されるべきマルチプレクサ276a-276hの11入力を選択する。第3に、PGVER信号はイナクティブで、比較器278a-278hは変更なしに動作することができる。

【0033】DLC SBUSデコーダ282、284、286は、データ・ラッチおよび比較器回路272a-272hの動作を制御するのを助ける。DLC SBUSデコーダ282、284、286の動作は、図7に関して決定される。たとえば、図7は、ERASE_

表1 INC_ADD、ERASE_INC_DELAY、ERASE_VERIFY状態184、186、180において、DLC SBUSデコーダ286はCMPEN信号を高に設定する。本実施例では、DLC SBUSデコーダ282、284、286は、ランダム論理装置で実現されている。図15は、状態レジスタ34のブロック図である。状態レジスタ34は、クロック・ジェネレータ300、信号STATUS[3:7]56の各ビットに対して一つの、五つの出力ラッチ302a-302eと、状態レジスタSBUSデコーダ304、306と、ラッチ308、312と、ORゲート310、314と、インバータ316を含んでいる。状態レジスタの出力56は、出力エネーブル・バー信号OEB46aに同期される。クロック・ジェネレータ300は、OEBがトグルする時にはいつでも、1組のクロック・パルスPH'1/PH'2 320を発生することにより、同期される。クロック・パルスPH'1/PH'2 320は、出力ラッチ302a-302eへのデータのクロック・インを制御する。したがって、OEB42は出力ラッチ302a-302eからバリッド・データを読み出すため、トグルされなければならないことは明白であろう。信号READY50、IDLE53、LOWVPP51は、出力ラッチ302a-302cのD入力に直接的に入力される。状態レジスタSBUSデコーダ304は、プログラム故障を検出するようSBUS[0:4]54をデコードする。SBUSデコーダ304が故障を検出すると、PRG_FAIL信号322は論理1に設定される。SBUS[0:4]54がたった一つの状態期間においてプログラム故障を示した場合、アクティブPRGFAIL信号322は、マイクロプロセッサ99が状態レジスタ34をリセットするよう選択するまで、ラッチ308とORゲート310を用いて記憶される。状態レジスタ34は、STATRS45をアクティブにすることにより、リセットされる。デバイス308、310のこの対は、期間カウンタ76における実質的に同様のデバイス対と同じように動作する。

【0034】状態レジスタSBUSデコーダ306は、消去故障を検出するためSBUS[0:4]54をデコードする。SBUSデコーダ306が故障を検出した場合、ERSFAIL信号324は高に設定される。SBUS[0:4]54がたった一つの状態期間に対し一つの消去故障を示すので、アクティブなERSFAIL信号324は、マイクロプロセッサ999が状態レジスタをリセットするよう選択するまで、ラッチ312とORゲート314を用いて記憶される。このデバイス対312、314は、期間カウンタ76における同様のデバイス対と実質的に同じに動作する。図7は、状態レジスタSBUSデコーダ304、306の動作を示している。たとえば、図7は、全ハードウェア故障状態に対して、PRG_ERRが設定されることを示している。本実施例では、状態レジスタSBUSデコーダ304、306はランダム論理装置で実現されている。ラッチ308、312のアクティブ出力は、状態レジスタのリセット信号STATS45がアクティブ高である時リセットされ、これは、マイクロプロセッサ999からのCLEAR STATUS REGISTER命令の結果として起きる。STATUS[3:7]出力56は、STAT7とも呼ばれているRDY/BSY信号を含んでいる。RDY/BSYが論理ゼロの場合、書込み状態マシン32はビジーである。STAT7の論理1は、書込み状態マシン32がその動作を完了し別の動作の実行に備えていること、および他の状態出力がバリドであることを示している。STAT6信号は、ERASE_SUSPEND信号とも呼ばれている。WSM32が消去動作においてアイドル状態に入った時、ERASE_SUSPENDはアクティブ、論理1になり、アレイ22が読出し可能であることを示す。ERASE_SUSPENDは、マイクロプロセッサ999からの要求とWSM32に状態に基づいて、シンクロナイザ30により設定されかつクリアされる。STAT5信号は消去エラーERASE_ERR信号とも呼ばれている。ERASE_ERR信号は、WSM32がうまくアレイをプログラムまたは消去できない場合に論理1に設定される。ERASE_ERRはまた、消去命令が果たされない場合、またはハードウェア・エラーが生じた場合に論理0に設定される。ERASE_ERR信号は、WSM32により設定され、STATUS REGISTER CLEAR命令によりクリアされる。STAT4は、プログラム・エラー信号PRG_ERRとも呼ばれている。PRG_ERRは、WSM32がうまくバイトをプログラムできない場合に論理1に設定される。PRG_ERRはまた、消去命令が果たされない場合、またはハードウェア・エラーが生じた場合に論理0に設定される。PRG_ERRは、SBUS信号54により設定され、STATUS REGISTER CLEAR命令によりクリアされる。STAT3は、VPFLOW信号51とも呼ばれて

いる。VPFLOW51は、プログラムまたは消去動作中いつでも、プログラミング電圧VPP36が低下する時設定される。しかし、PRG_ERRまたはERASE_ERRが設定される場合には、低いVPP36は動作に何の影響も及ぼさない。VPFLOW51はSTATRSによりクリアされる。状態レジスタ34は、STATRS45の反転である状態レジスタ・リセット・バー信号STATRB61をシンクロナイザ30に出力する。以上のように、不揮発性フラッシュ・メモリをプログラムおよび消去する回路について説明してきたが、プログラムまたは消去シーケンスが一旦開始されると、書込み状態回路は、要求された動作を実行するのに必要な全制御信号を発生し、マイクロプロセッサ999は他の機能を行なうため使用されない。本発明は、特定の実施例についてのみ述べられてきたが、本発明の思想から離れることなく様々に改変し得ることは明白であろう。

【発明の効果】本発明により、不揮発性半導体メモリの消去およびプログラムに要するマイクロプロセッサのコードの量は最少ですむ。また、本発明の多段プログラムまたは消去シーケンスを実行する回路では、多段プログラムまたは消去シーケンスが一旦開始されると、完了するために不揮発性半導体メモリの外部装置からの制御を必要としないですむ。

【図面の簡単な説明】

【図1】書込み状態マシンを含んでいるフラッシュ・メモリ回路のブロック図である。

【図2】フラッシュ・メモリ命令の表である。

【図3】書込み状態マシンのブロック図である。

【図4】次の状態コントローラの回路のブロック図である。

【図5】フラッシュ・メモリのプログラムおよび消去方法の状態図の半分である。

【図6】フラッシュ・メモリのプログラムおよび消去方法の状態図の残りの半分である。

【図7】各書込み状態マシン状態のSBUS値の表である。

【図8】信号名の表である。

【図9】オシレータおよびパルス・ジェネレータ回路のブロック図である。

【図10】PH1およびPH2に関するスタート・アップ・タイミング図である。

【図11】期間カウンタの回路のブロック図である。

【図12】事象カウンタの回路のブロック図である。

【図13】アドレス・カウンタの回路のブロック図である。

【図14】データ・ラッチおよび比較器の回路のブロック図である。

【図15】状態レジスタのブロック図である。

【符号の説明】

20 フラッシュ・メモリ

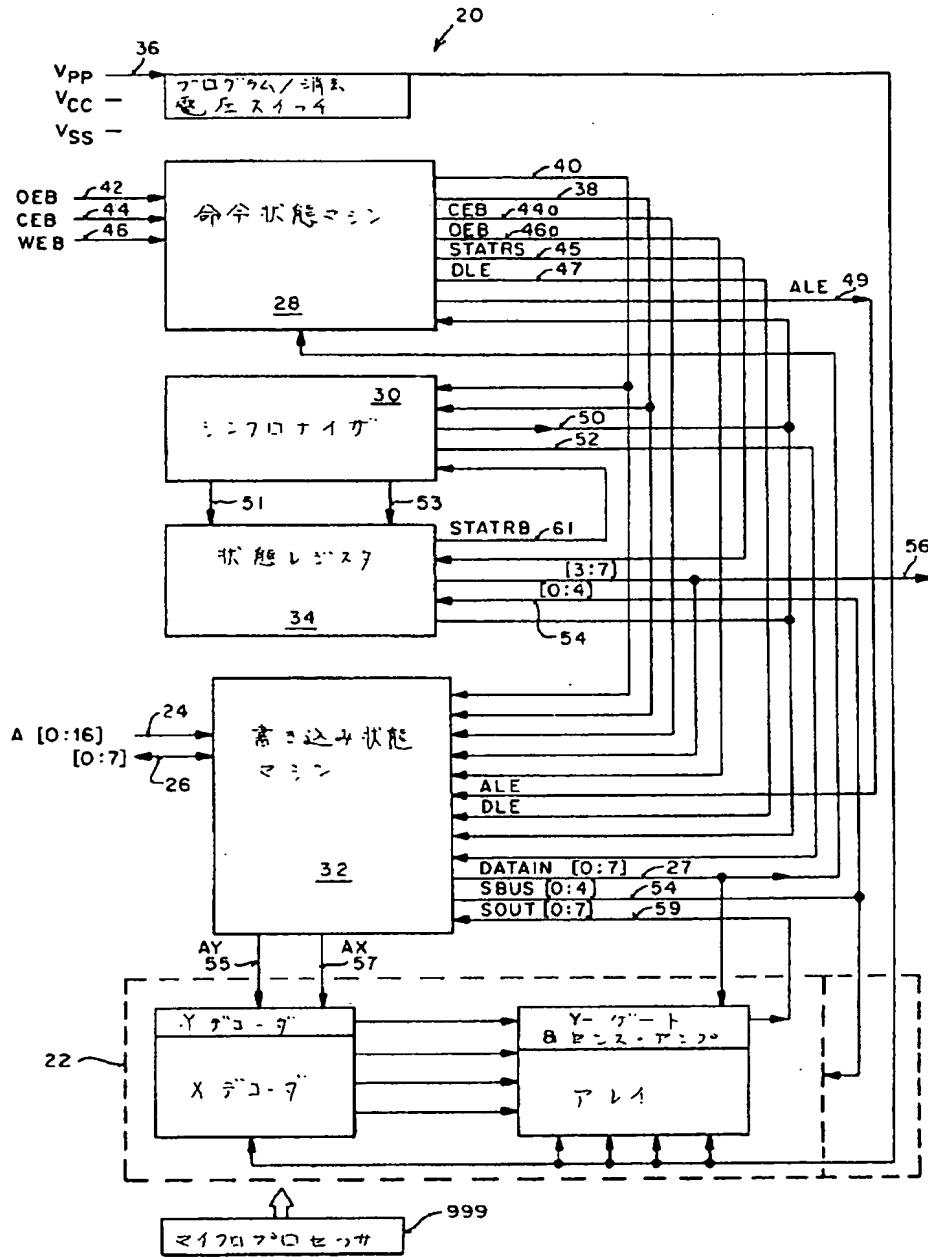
22 メモリ・アレイ
 28 命令状態マシン
 30 シンクロナイザ
 32 書き込み状態回路
 34 状態レジスタ
 70 オシレータ&フェーズ・ジェネレータ
 72 次の状態コントローラ
 74 事象カウンタ
 76 期間カウンタ
 78 アドレス・カウンタ
 80 データ・ラッチ&比較器
 110 次の状態論理装置

112、216、236、292 ラッチ
 200 オシレータ
 204 フェーズ・ジェネレータ
 210 期間カウンタSBUSデコーダ
 212 シフト・レジスタ・カウンタ
 214 終端カウンタ整合回路
 230 事象カウンタSBUSデコーダ
 232 13ビット・カウンタ
 234 事象カウンタ終端カウンタ選択回路
 238 ORゲート
 250、252 TTL入力バッファ
 254、256 アドレス・カウンタSBUSデコーダ

【図2】

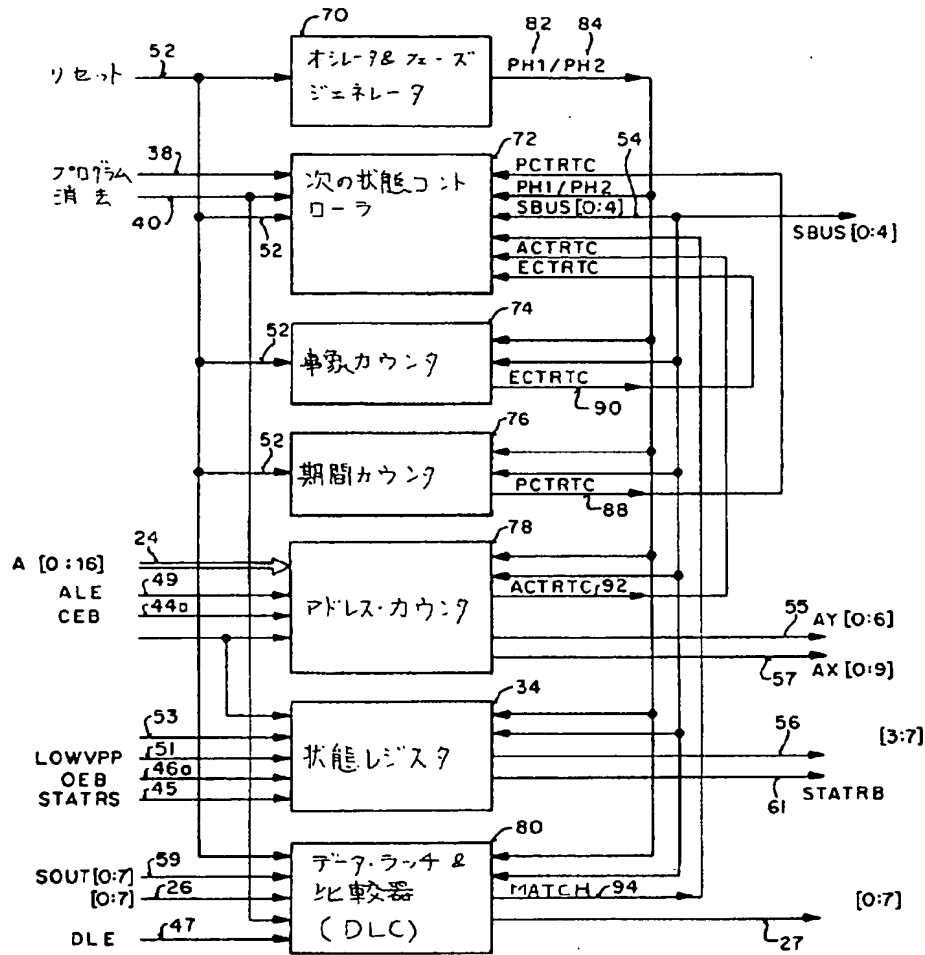
命 令	要求されたサイクル	オーバス・サイクル			ネバス・サイクル		
		動作	アドレス	データ	動作	アドレス	データ
プレイを読み出す 状態レジスタを読み出す 状態レジスタをクリア セットアップ/シフト確認を済ませ セットアップ/プログラムプログラム	1	書き込み	x	FFH	読み出し	x	SRD
	2	書き込み	x	70H			
	1	書き込み	x	50H			
	2	書き込み	x	20H	書き込み	x	D0H
	2	書き込み	x	40H	書き込み	PA	PD

【図1】



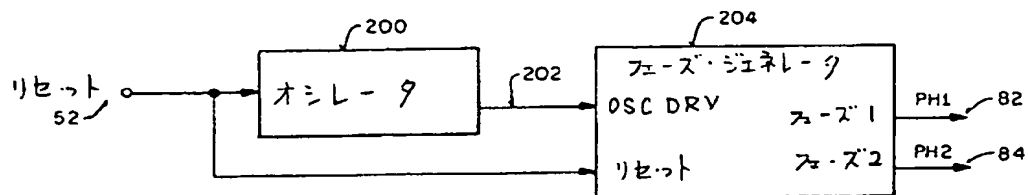
【図3】

WSM 7" D → 7 図

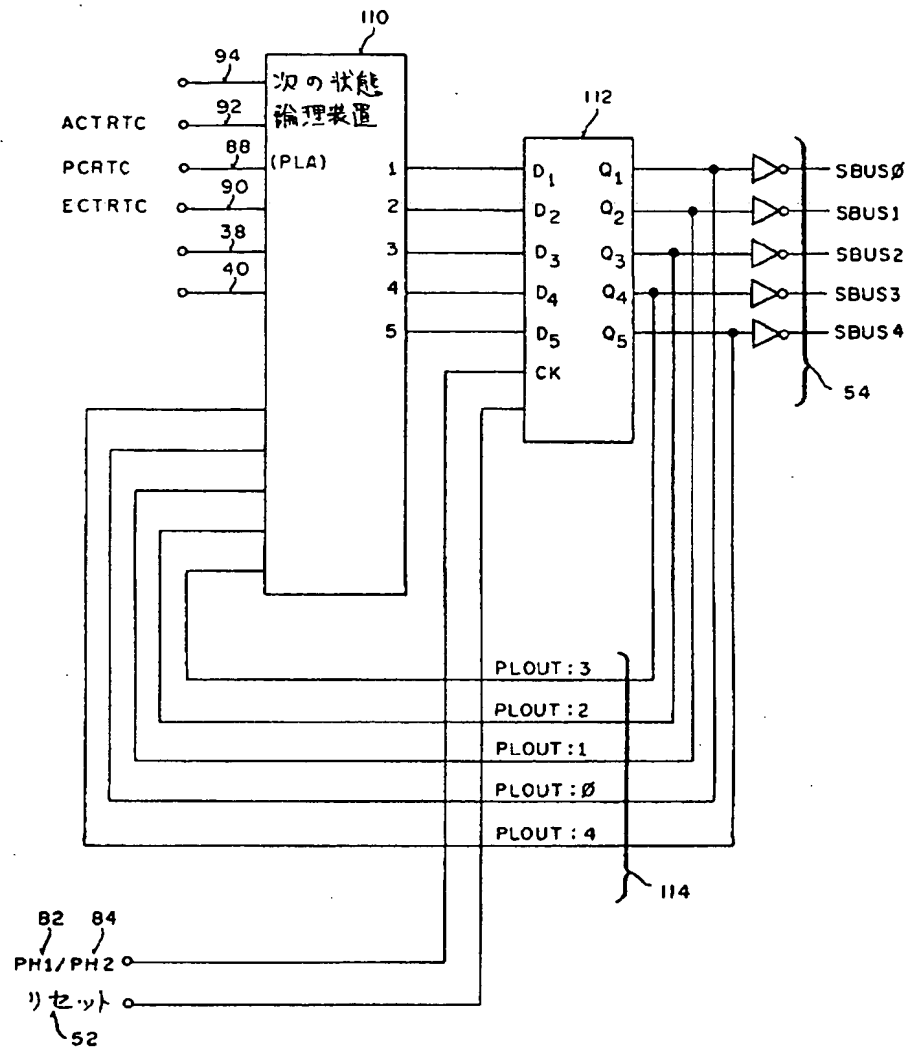


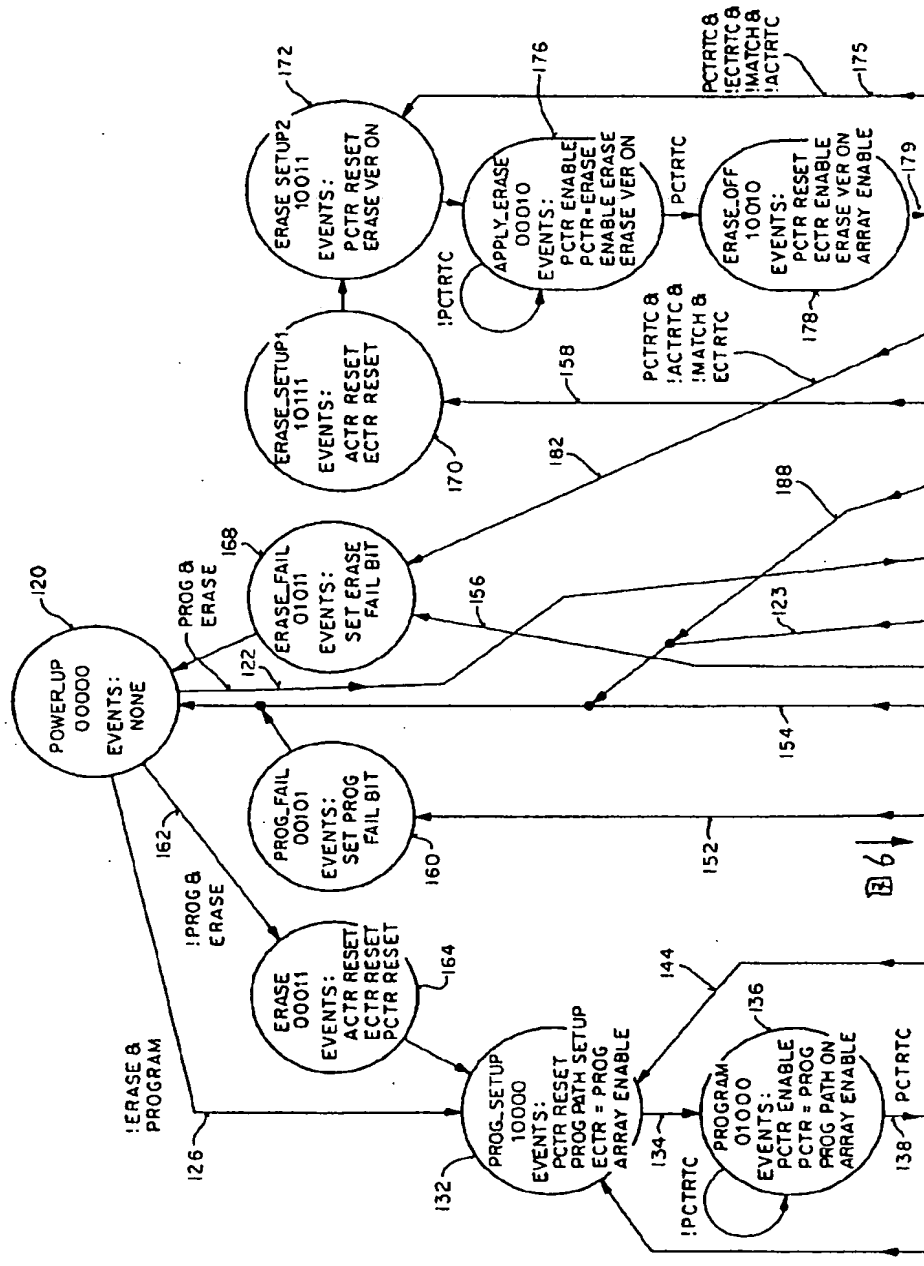
32

【図9】



【図4】





PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-036815

(43)Date of publication of application : 07.02.1995

G06F 13/14
G06F 13/10

(71)Applicant : HITACHI LTD

HITACHI JOHO NETWORK:KK

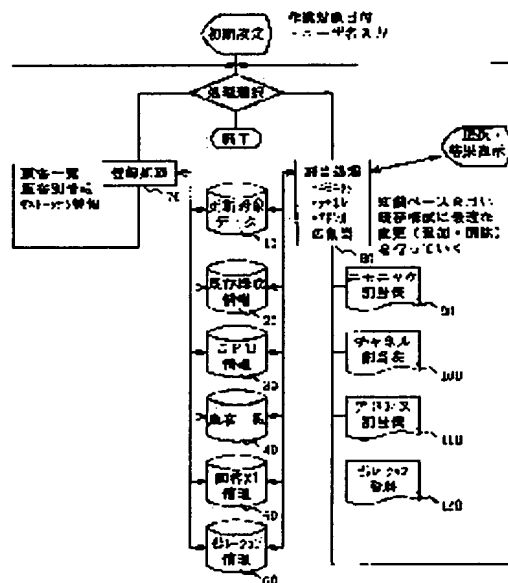
(72)Inventor : NAGATSUKA MASAHIKO

(54) SYSTEM FOR DETERMINING AND SUPPORTING EQUIPMENT CONNECTION

(57)Abstract:

PURPOSE: To automate allocating work and to attain highly efficient work by automatically determining a connection channel number between an I/O equipment and a processor and the allocation of an address and an optional name (mnemonic) to the I/O equipment or supporting these determination.

CONSTITUTION: This system is provided with data bases for data 10 to be updated to manage the changing schedule information of an equipment, constitution data 20 for managing current equipment constitution, CPU information 30 for managing channel information or the like relating to a processor, a customer list 40 for managing customer names and installation places, customer information 50 for managing customer's individual information such as inference basis, generation information 60 for managing a schedule such as a data of system generation. While inputting/outputting data between registering processing 70 and allocating processing 80, various information is set up/changed. As set/ changed results, a mnemonic allocation table 90, a channel allocation table 100, an address allocation table 110, and generation data 120 are outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平5-182475

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.⁵

G 1 1 C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

9191-5L

G 1 1 C 17/ 00

3 0 9 A

審査請求 未請求 請求項の数7(全 27 頁)

(21)出願番号 特願平4-56627

(22)出願日 平成4年(1992)2月10日

(31)優先権主張番号 6 5 4, 3 7 5

(32)優先日 1991年2月11日

(33)優先権主張国 米国 (U S)

(71)出願人 591003943

インテル・コーポレーション

アメリカ合衆国95051カリフォルニア州・

サンタクララ・パワースアヴェニュー・

3065

(72)発明者 ヴァジル・ナイルズ・キネット

アメリカ合衆国 95630 カリフォルニア

州・エル ドラド ヒルズ・リッジビュー

ドライブ・3553

(72)発明者 ミッキー・リー・ファンドリッチ

アメリカ合衆国 95667 カリフォルニア

州・プレイサーヴィル・スパニッシュ ラ

ヴィン ロード・3179

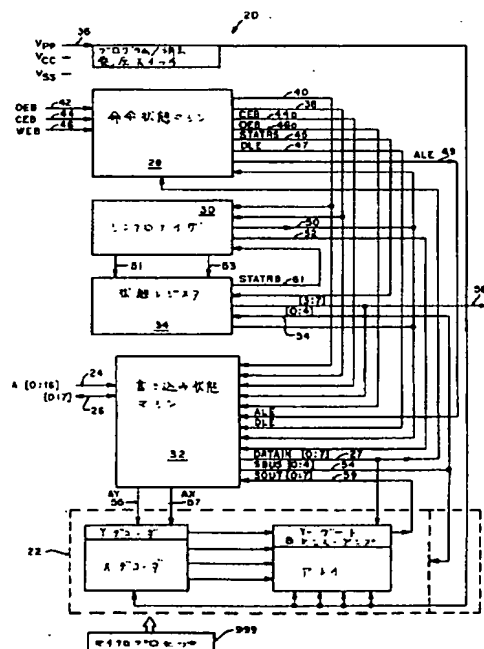
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 不揮発性半導体メモリをプログラム及び消去する回路とその方法

(57)【要約】

【目的】 不揮発性半導体メモリを消去およびプログラムするのに要するマイクロプロセッサのコードの量を最少にした、不揮発性半導体メモリのプログラムおよび消去する回路および方法を提供することである。

【構成】 不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路は、不揮発性半導体メモリと同じ基板上に設けられている。この回路は、多段プログラム・シーケンスを開始する命令を記憶する装置と、不揮発性半導体メモリのビットをデータ・パターン・ビットにしたがってプログラムするよう不揮発性半導体メモリをエネーブルする第1エネープリング回路を有している。また、不揮発性半導体メモリの多段消去シーケンスを実行する回路は、多段消去シーケンスを開始する命令を記憶する装置と、不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするよう、不揮発性半導体メモリをエネーブルする第1エネープリング回路と、そのビットを消去して第2論理レベルにするよう、不揮発性半導体メモリをエネーブルする第2エネープリング回路を含んでいる。



【特許請求の範囲】

【請求項1】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路において、

(a) 多段プログラム・シーケンスを開始する命令を記憶する装置と、

(b) データ・パターンにしたがって、不揮発性半導体メモリのビットをプログラムするよう、不揮発性半導体メモリをエネーブルする第1エネープリング装置と、
から成り、多段プログラム・シーケンスは、一旦開始されると、完了するため不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路。

【請求項2】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリの多段消去シーケンスを実行する回路において、

(a) 多段消去シーケンスを開始する命令を記憶する装置と、

(b) 不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするよう、不揮発性半導体メモリをエネーブルする第1エネープリング装置と、

(c) そのビットを消去して第2論理レベルにするよう、不揮発性半導体メモリをエネーブルする第2エネープリング装置と、

から成り、多段消去シーケンスは、一旦開始されると、完了するため不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリの多段消去シーケンスを実行する回路。

【請求項3】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリをプログラムする回路において、

(a) プログラム動作のタイミングをとり、期間終端カウント信号を供給する期間計数装置と、

(b) プログラム動作を計数し、事象終端カウント信号を供給する事象計数装置と、

(c) 不揮発性半導体メモリのビットをパターン・ビットと比較しかつ整合信号を供給する装置と、

(d) 事象計数装置と期間計数装置と比較装置とに結合したコントローラと、

から成り、プログラミングを開始する命令を受信すると、コントローラによりメモリのビットがパターン・ビットにしたがってプログラムされ、かつ回路は、一旦開始されると不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリをプログラムする回路。

【請求項4】 不揮発性半導体メモリと同じ基板上に設けられ、不揮発性半導体メモリを消去する回路において、

(a) 消去動作のタイミングをとり、期間終端カウント信

号を供給する期間計数装置と、

(b) 消去動作を計数し、事象終端カウント信号を供給する事象計数装置と、

(c) 不揮発性半導体メモリのビットをパターン・ビットと比較し、整合信号を供給する装置と、

(d) 事象計数装置と、期間計数装置と、比較装置とに結合し、多段消去シーケンスを制御するコントローラと、
から成り、コントローラは、そのビットをプレコンディショニングして第1論理レベルにしかつそのビットを消去して第2レベルにするよう、不揮発性半導体メモリと、事象計数装置と、期間計数装置と、比較装置とをエネーブルする制御信号を供給し、コントローラは、開始命令に応じて多段消去シーケンスを開始し、さらに一旦開始されると、回路は不揮発性半導体メモリの外部装置からの制御を必要としないことを特徴とする、不揮発性半導体メモリを消去する回路。

【請求項5】 不揮発性半導体メモリのビットがプログラミングされたかどうかを示す状態レジスタにおいて、

(a) アクティブおよびイナクティブなレベルを有する故障信号を記憶するラッチと、

(b) ラッチの出力を出力エネーブル信号に同期させる同期装置と、

から成ることを特徴とする状態レジスタ。

【請求項6】 不揮発性半導体メモリをプログラムする方法において、

(a) プログラミングを開始する命令を受信する過程と、

(b) 不揮発性半導体メモリの外部装置からの制御なしで、パターン・ビットにしたがって不揮発性半導体メモリのビットをプログラムするよう不揮発性半導体メモリと書き込み状態回路をエネーブルする過程と、
から成ることを特徴とする、不揮発性半導体メモリをプログラムする方法。

【請求項7】 一旦消去が開始されると、不揮発性半導体メモリの外部装置からの制御なしで不揮発性半導体メモリを消去する方法において、

(a) 消去を開始する命令を受信する過程と、

(b) 不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするよう不揮発性半導体メモリと書き込み状態回路をエネーブルする過程と、

(c) 不揮発性半導体メモリのビットを消去して第2レベルにするよう不揮発性半導体メモリと書き込み状態回路をエネーブルする過程と、

から成ることを特徴とする、不揮発性半導体メモリを消去する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性半導体メモリに関し、更に詳しくは不揮発性半導体メモリを消去しかつプログラムする回路および方法に関する。

【0002】

【従来の技術】従来の不揮発性半導体メモリの一つに、フラッシュ電氣的消去可能プログラム可能読出し専用メモリ（「フラッシュEEPROM」）がある。フラッシュEEPROMはユーザがプログラムすることができ、一旦プログラムされると、フラッシュEEPROMは、消去されるまでそのデータを保持する。また、消去後、フラッシュEEPROMを新しいコードまたはデータでプログラムすることができる。フラッシュ・メモリは、普通の電氣的消去可能プログラム可能読出し専用メモリ（「EEPROM」）とは消去に関して異なっている。普通のEEPROMは代表的には、個々のバイト消去制御に対して一つの選択トランジスタを使用しているが、フラッシュ・メモリは、代表的には、単一のトランジスタ・セルではるかに高い記録密度を実現することができる。ある従来技術のフラッシュ・メモリの消去中、メモリ・アレイの各メモリ・セルのソースには同時に高電圧が供給され、これにより、全アレイが消去される。

【0003】従来のあるフラッシュEEPROMにおいて、論理「1」は、ビット・セルに関係するフローティング・ゲートにエレクトロンがほとんど蓄積されていないことを意味している。論理「ゼロ」は、ビット・セルに関係するフローティング・ゲートに多量のエレクトロンが蓄積されていることを意味している。この従来のフラッシュ・メモリを消去することにより、論理1が各ビット・セルに記憶される。前に消去することなしには、そのフラッシュ・メモリの各単一ビット・セルを、論理ゼロから論理1に重ね書きすることはできない。しかし、消去された状態に関係するエレクトロンの固有数を含んでいるフローティング・ゲートにエレクトロンを単に加えるだけで、そのフラッシュ・メモリの各単一ビット・セルを論理1から論理ゼロに重ね書きすることができる。

【0004】従来のフラッシュEEPROMには、カリフォルニア州サンタクララの市のインテル・コーポレーションにより市販されている28F256相補形金属酸化膜半導体（「CMOS」）があり、これは256キロビットのフラッシュEEPROMである。28F256フラッシュ・メモリは、電氣的消去と再プログラミングを管理する命令レジスタを含んでいる。命令は、標準的なマイクロプロセッサの書き込みタイミングを用いて制御マイクロプロセッサから命令レジスタに書込まれる。命令レジスタの内容は、消去およびプログラミング回路を制御する内部状態マシンの入力として働く。この制御マイクロプロセッサは、フラッシュ・メモリの消去およびプログラミングを制御する。マイクロプロセッサは、フラッシュ・メモリを消去するのにインテル・コーポレーションの従来のQuick-EraseTMアルゴリズムを使用することができる。従来のQuick-EraseTMアルゴリズムでは、全ビットは、最初、チャージ状態、すなわち00（16進法）にプログラムされなければ

ならない。その後、トランジスタのゲートをゼロ・ボルトに保持しながら、10msecの期間アレイにおけるトランジスタのソースを高電圧レベルに引き上げることで、消去が行なわれる。各消去動作後に、バイトの検査が行なわれる。従来のQuick-EraseTMアルゴリズムにより、バイト当たり最高3000の消去動作が消去故障を認識することができる。ディバイスを適切に動作させるには、消去手続きに厳密にしたがわなければならない。また、マイクロプロセッサは、フラッシュ・メモリをプログラムするのにインテル・コーポレーションの従来のQuick-Pulse ProgrammingTMアルゴリズムを使用することができる。このQuick-Pulse ProgrammingTMアルゴリズムでは、特定の継続期間と電圧レベルのプログラミング・パルスがプログラム電源VPPとディバイス電源VCCに供給されなければならない。たとえば、ある従来のインテルのフラッシュ・メモリにおいて、VPPは12.75ボルトに保持され、プログラミング・パルスの継続期間は10μsecである。プログラミング・パルスが供給された後、ユーザは、アドレスされたメモリ・セルが適切にプログラムされたかどうかを検査する。適切にプログラムされていない場合、プログラミング・エラーが認識される前に、プログラミング・パルスが何回も再供給される。インテルのQuick-Pulse ProgrammingTMアルゴリズムでは、バイト当たり最高25のプログラミング動作が可能である。フラッシュ・メモリが適切でしかも高い信頼性で動作するには、プログラミング手続きに厳密にしたがわなければならない。

【0005】フラッシュ・メモリの消去およびプログラミングを制御するのにマイクロプロセッサを使用している従来の方法は、マイクロプロセッサを拘束するので、比較的高いレベルのマイクロプロセッサを必要とするという欠点を有している。すなわち、これはシステムの処理能力を低減することになる。フラッシュ・メモリの消去およびプログラミングを制御するのに制御マイクロプロセッサを使用している従来の方法の別の欠点は、代表的な消去／プログラミング・ソフトウェアが比較的複雑なことである。この複雑なソフトウェアでは、ユーザが比較的高い知識を持っていなければならない。さらに、この複雑なソフトウェアは、フラッシュ・メモリの消去のし過ぎなど顧客が間違える可能性が高くなる恐れがある。

【0006】

【発明が解決しようとする課題】本発明の目的は、不揮発性半導体メモリをプログラミングおよび消去する回路および方法を提供することである。本発明の他の目的は、不揮発性半導体メモリを消去およびプログラムするのに要するマイクロプロセッサ・コードの量を最少にすることである。本発明の別の目的は、不揮発性半導体メ

メモリを自動的に消去しつつプログラムする一方、マイクロプロセッサがシステムの要求に応じることができるようにすることである。

【0007】

【課題を解決するための手段】本発明は、不揮発性半導体メモリの多段プログラム・シーケンスを実行する回路を提供する。回路と不揮発性半導体メモリは同じ基板上に設けられている。回路は、多段プログラム・シーケンスを開始する命令を記憶する装置を含んでいる。多段プログラム・シーケンスは、一旦開始されると、完了するために不揮発性半導体メモリの外部装置からの制御を必要としない。回路は、データ・パターンにしたがって不揮発性半導体メモリのビットをプログラムする第1エネープリング装置を含んでいる。本発明は、不揮発性半導体メモリの多段消去シーケンスを実行する回路を提供する。回路と不揮発性半導体メモリは同じ基板上に設けられている。回路は、多段消去シーケンスを開始する命令を記憶する装置を含んでいる。多段消去シーケンスは、一旦開始されると、完了するために不揮発性半導体メモリの外部装置からの制御を必要としない。この回路は、不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにする第1エネープリング装置を含んでいる。第2エネープリング装置は、不揮発性半導体メモリのビットを消去して第2論理レベルにする。本発明は、不揮発性半導体メモリをプログラムする方法を提供する。多段プログラム・シーケンスを開始する命令が受信される。不揮発性半導体メモリと書込み状態回路は、不揮発性半導体メモリの外部装置からの制御なしに、パターン・ビットにしたがって不揮発性半導体メモリのビットをプログラムするようエネーブルされる。本発明は、一旦消去が開始されると、半導体メモリの外部装置からの制御なしに不揮発性半導体メモリを消去する方法を提供する。消去を開始する命令が受信される。そして、不揮発性半導体メモリと書込み状態回路は、不揮発性半導体メモリのビットをプレコンディショニングして第1論理レベルにするようエネーブルされる。その後、不揮発性半導体メモリと書込み状態回路は、不揮発性半導体メモリのビットを消去するようエネーブルされる。

【0008】

【実施例】以下、添付の図面に基いて、本発明の実施例に関し説明する。図1は、本発明の実施例のフラッシュEPROM回路20のブロック図を示している。フラッシュEPROM20は、フラッシュ・メモリ20とも呼称されている。以下に詳細に示すように、フラッシュEPROM20は書込み状態回路32を含んでいる。書込み状態マシン回路32は、マイクロプロセッサ999からの開始命令によってのみ、必要に応じてメモリの内容をプログラムしたりまたは消去するよう、多段シーケンスで不揮発性半導体メモリ20をシーケンスする。プログラムまたは消去シーケンスが一旦開始されると、書込

み状態マシン32はプログラミングおよび消去を制御する。状態レジスタ34は、プログラムおよび消去動作が完了した時をマイクロプロセッサ999に示す。VPP36はフラッシュ・メモリの消去/プログラム電源電圧である。VCCはフラッシュ・メモリ20のデバイス電源で、VSSはアースである。ある実施例では、VPP36は12.0ボルトで、VCCは約5ボルトである。

【0009】VPPが高電圧でない場合、フラッシュ・メモリ20は読出し専用メモリとして動作する。ライン24を介して供給されるアドレスに記憶されたデータは、メモリ・アレイ22から読出され、データ入力/出力ライン26を介してフラッシュ・メモリ20の外部回路において使用される。フラッシュ・メモリ20は、三つの制御信号、すなわちチップ・エネーブル・バーCEB44、WEB46、出力・エネーブル・バーOEB42を有する。チップ・エネーブル・バーCEB44入力は電力制御入力で、フラッシュ・メモリ20を選択するのに使用される。CEB44はアクティブ・ローである。出力・エネーブル・バー入力OEB42は、フラッシュ・メモリ20の出力制御入力で、フラッシュ・メモリ20の出力ピンからデータをゲートするのに使用される。OEB42はアクティブ・ローである。制御信号CEB44とOEB42は、フラッシュ・メモリ20のデータ・ライン26においてデータを得るため論理的にアクティブでなければならない。CEB44が低い間、書込みエネーブル・バー信号WEB46は、命令状態マシン28への書込みを行なうことができる。書込みエネーブル・バー信号WEB46はアクティブ・ローである。アドレスとデータは、WEB46の立上り縁でラッチされる。また、標準マイクロプロセッサのタイミングが使用される。

【0010】デバイスの動作は、データ入力/出力ライン26を介してフラッシュ・メモリに特定のデータ・パターンを書込むことにより選択される。図2はいくつかの命令を示している。図2のSRDは、状態レジスタ34から読出されるデータを示している。さらに、図2のPAはプログラムされるべきメモリ場所のアドレスを示し、PDはアドレスPAにプログラムされるべきデータを示している。消去は、図1の全アレイ22において実行され、かつ2サイクル命令シーケンスにより開始される。最初に消去セットアップ命令が、続いて消去確認命令が書込まれる。アレイのプレコンディショニング、消去、および消去検査は、全て書込み状態マシンにより内部処理されるので、マイクロプロセッサ999に見分けられない。消去動作には約1秒かかる。実行前のこの2段階の消去セットアップにより、メモリの内容が不測に消去されないようにしている。したがって、VPPに高電圧が供給される時だけ、消去することができ、この高電圧が供給されない場合、メモリの内容は消去されないよう保護されている。

【0011】消去事象は、二つの主なタスク、すなわちプレコンディションと消去を含んでいる。セルの電圧を約6.75ボルトにしてアレイ22をプレコンディションすることは、セルの漏洩につながるようなレベルまでセル電圧が消去中に降下しないようにして、アレイ22の寿命を保護する。アレイ消去は、セル電圧を約3.25ボルトすなわち論理1にする。マイクロプロセッサ999は、読出し状態レジスタ命令を発生し、状態データを分析することにより消去事象の完了を検出することができる。状態レジスタ34が消去の完了を示した時、消去故障状態ビットをチェックしなければならない。検査の後、状態レジスタ34のエラー・ビットを適切にクリアしなければならない。その他の動作は、適切な命令を与えた後だけに行なわれる。プログラミングもまた、2サイクル命令シーケンスにより実行される。プログラム・セットアップ命令がデータ・ライン26を介して命令状態マシン28に書込まれ、続いて、第2書込み命令が、プログラムされるべきアドレスおよびデータを指定する。その後、書込み状態マシン32が、プログラムおよび検査アルゴリズムの内部制御を引き継ぐ。状態レジスタ読出し命令による状態レジスタ34のポーリングは、プログラミング・シーケンスがいつ完了したかを決定する。プログラミングがアクティブである間、読出し状態レジスタ命令だけがバリドである。

【0012】状態レジスタ34がプログラミングの完了を示した時、プログラム・フェイル・ビットをチェックしなければならない。検査の後、マイクロプロセッサ999は適切に状態レジスタ・エラービットをクリアしなければならない。本実施例では、図1に示されているフラッシュ・メモリ20の回路は単一基板上にある。また、本実施例では、フラッシュ・メモリ20はCMOS回路を用いている。フラッシュ・メモリ20は、アドレスにデータを記憶するメモリ・セルを含んでいるメモリ・アレイ22を有している。さらに、フラッシュ・メモリ20は、オン・チップ命令状態マシン（「CSM」）28とシンクロナイザ30と書込み状態マシン（「WSM」）32と状態レジスタ34を含んでいる。メモリ・アレイ22をプログラムまたは消去する命令はデータ・ライン26から供給される。ライン26のデータは命令状態マシン28に送られる。命令状態マシン28はそのデータをデコードし、それが消去、プログラムまたは状態レジスタ・リセット命令を表している場合、CSM28は適当な制御信号を発生し始める。命令状態マシン28により書込み状態マシン32に供給される制御信号はPROGRAM38、ERASE40、状態レジスタ・リセット信号STATRS45、アドレス・ラッチ・エネーブル信号ALE49、データ・ラッチ・エネーブル信号DLE47を含んでいる。プログラムおよび消去アルゴリズムは、後述するように書込み状態マシン32により調整され、必要な場合プログラム・パルスの反復と

データの内部検査を含んでいる。書込み状態マシン32は、入力A[0:16]24とD[0:7]26からの消去およびプログラム動作を完了するのに必要とされるアドレスとデータをラッチする。書込み状態マシンのアドレスおよびデータのラッチ動作は、CSM28からのアドレス・ラッチ・エネーブル信号ALE49とデータ・ラッチ・エネーブル信号DLE47によりそれぞれ制御される。

【0013】書込み状態マシン32は、アレイ・アドレス信号AY55、AX57とセンス・アンプ出力SOUT[0:7]59によりメモリ・アレイ22とインタフェースする。上記出力は、アドレスされたメモリのバイトに記憶されたデータを示している。書込み状態マシン32は、その状態を動作中にSBUS[0:4]出力54を介してシンクロナイザ30と状態レジスタ34とに知らせる。シンクロナイザ30は、書込み状態マシン32と命令状態マシン28との間の同期を行なう。アクティブERASE38またはPROGRAM40信号のいずれかを受信すると、シンクロナイザ30はREADY信号50を論理低にして、書込み状態マシン32がビジーであることを命令状態マシン28と状態レジスタ34に示す。書込み状態マシン32が動作を完了すると、シンクロナイザ30はREADYを設定することにより書込み状態マシン32を遮断する。シンクロナイザ30は、RESET信号52を論理高にすることにより、ERASE38とPROGRAM40が論理低になるたびに書込み状態マシン32をリセットする。シンクロナイザ30は、信号LOWVPP51により書込み状態マシン32の動作状態に関する情報を状態レジスタに供給する。状態レジスタ34は、SBUS[0:4]出力54をデコードし、タスクが完了したか否かおよびその成功をSTATUS出力56によりマイクロプロセッサ999に示す。STATUS出力56は入力/出力データ・ライン26にマルチプレックスされる。図3は、書込み状態マシン32の回路と状態レジスタ34への接続を示したブロック図を示している。書込み状態マシン32は、オシレータおよびジェネレータ70、次の状態コントローラ72、事象カウンタ74、期間カウンタ76、アドレス・カウンタ78、データ・ラッチおよび比較器（「DLC」）80を含んでいる。RESET52は、書込み状態マシン32中のほとんど全回路に供給される。RESET52は、書込み状態マシン32中の重要なノードを既知状態にする。たとえば、RESET52は、終端カウント信号88、90、92を論理ゼロにする。

【0014】イナクティブ(inactive)RESET信号52を受信した直後、オシレータ/フェーズ・ジェネレータ70は、WSM32回路のほぼ全部に送られる二つの非オーバーラップ位相クロック、位相1 PH1 82と位相2 PH2 84を発生し始める。PH2 84

はRESET 52の後にアクティブな第1クロックである。次の状態コントローラ72は、書き込み状態マシン32のアクティビティを制御しつつ調整して、WSMの次の状態を決定する。次の状態コントローラ72は、WSMの現在の状態を示す五つの出力SBUS [0:4] 54を発生する。次の状態コントローラ72からのSBUS [0:4] 54を受信する各回路はそれ自身のSBUS [0:4] 54をデコードし、次のタスクを決定する。この設計により、多くのタスクを並列に行なうことができるので、消去およびプログラム機能を行なうのに要する時間を最小にすることができる。期間カウンタ76は、プログラムおよび消去動作中、アレイ電圧に関するパルス期間を決定しつつタイミングをとる。期間カウンタ76により示された別の期間は、プログラミングまたは消去とメモリ・セルからのバリド・データの検査との間の遅れである。アクティブ高になることにより、期間カウンタ76の終端カウント信号PCTRTC88は、選択された期間が経過したことを次の状態コントローラ72に知らせる。期間カウンタ76は、SBUS [0:4] 54をデコードして、目標のパルス期間を選択する。SBUS [0:4] 出力54により、期間カウンタ76は、期間カウンタ76がエネーブルされる前のある状態にカウントをリセットする。事象カウンタ74は、1バイト当り最大のプログラミングまたは消去動作数にいつ到達したかを決定する。1バイト当り最大の動作数に到達した時、事象カウンタ74は、事象終端カウント信号ECTRTC90を論理高にすることによって、次の状態コントローラ72に知らせる。事象カウンタ74は、SBUS [0:4] 出力54をデコードすることにより、最大動作数を決定する。本実施例では、1バイト当り最大プログラム動作数は50に設定され、また1バイト当り最大消去動作数は8192に設定されている。

【0015】WSM32におけるアドレス・カウンタ78は、入力バッファおよびカウンタの両方として働く。READY50が高の場合、アドレス・ラインA [0:16] は、信号AY [0:6] 55とAX [0:9] 57として出力する。信号AY55とAX57は、プログラム、消去、または読出しされるべきメモリ・アレイ22におけるバイトの場所を示している。アドレスが入力バッファに入力されると、入力バッファからのアドレスは、信号ALE49によるCSM28の制御の下、アドレス計数回路にロードされる。アドレス・カウンタ78は、その後、メモリ・アレイ20における全アドレスをカウントする。アドレス・カウンタ78は、終端カウントACTRTC92を論理1にすることにより、メモリの最後に到達したことを次の状態コントローラ72に示す。データ・ラッチおよび比較器(DLC)80は、WSM32と命令状態マシン28とメモリ・アレイ22とデータ・ライン26の間のインタフェースである。デー

タ・ライン26のTTLデータ入力は、DLC80によりバッファされ、DATAIN [0:7] 信号27として命令状態マシン28に送られる。DATAIN [0:7] ライン27で受信された信号がプログラム命令を示している場合、命令状態マシン28は、データ・ラッチエネーブル信号DLE47を論理1に設定することにより、DLC80にデータ・ライン26における情報を記憶するよう指示する。プログラム動作中、DLC80は、そのラッチに記憶されているデータをセンスアンプ信号SOUT [0:7] 59に比較し、MATCH94を論理高に設定することにより整合を示す。DLC80は、メモリ・セルの内容を示しているセンスアンプ信号SOUT [0:7] 59を、消去検査手続き中、基準論理レベルと比較し、MATCH94を論理高に設定することにより、次の状態コントローラ72に消去がうまくいったことを知らせる。状態レジスタ34は、データ入力/出力ライン26にマルチプレックスされる状態信号STAT [3:7] 56を介してマイクロプロセッサ999に書き込み状態マシン32の状態を知らせる。状態レジスタ34は、信号READY50、LOWVPP51、SBUS [0:4] 54に基いて書き込み状態マシンの状態を決定する。

【0016】図4は、次の状態コントローラ72の回路のブロック図である。次の状態コントローラ72は、次の状態論理装置110とマスタ・スレーブD-ラッチ112を含んでいる。本実施例では、次の状態論理装置110はプログラム可能論理アレイとして実現されている。次の状態論理装置110は、信号PLOUT [0:4] 114、終端カウント信号PCTRTC88、ECTRTC90とACTRTC92、MATCH94、PROGRAM38、ERASE40により示されるような、書き込み状態マシンの前の状態に基いて書き込み状態マシン32中の各回路の次の状態を決定する。次の状態論理装置に inputs を供給する各回路は、SBUS [0:4] がアクティブの後にPH284がアクティブになることによってそのように行なう。書き込み状態マシン32の全回路は、PH284の出力がバリドであるマスタ/スレーブであるので、それらはそのように行なうことができる。次の状態論理装置110の出力は、ラッチ112にラッチされ、SBUS [0:4] 54として書き込み状態マシン回路の残りに供給される。状態バス出力SBUS [0:4] 54は、RESET52がクリアされた後、第2PH284の立上り縁でアクティブになる。SBUS [0:4] 54がPH284をアクティブにした結果、各WSM32は、PH182が高である間、SBUS [0:4] 54を評価する。

【0017】次の状態コントローラ72により実現されるプログラミングおよび消去の方法は、図5、6の状態図に基いて説明する。図において、各円は書き込み状態マシン32の状態を示している。各状態の名前は、各円の

上部ラインに示されている。各状態に関するS BUS [0:4] 54の値は、状態の名前の下に示されている。各状態において選択またはエネーブルされる信号は、S BUS値の下に示されている。次の状態コントローラ72を他の状態に分岐させる信号の組合せは、前にイスクラメーション・マーク「!」が付いたイナクティブ信号とともに、各分岐のそばのテキストに示されている。次の状態コントローラ72は、分岐の次に信号の組合せが示されていない場合、次の状態コントローラ72の入力に関係なく、一つの状態から他の状態に分岐する。

【0018】電力がフラッシュ・メモリ20に供給されると、次の状態コントローラ72はRESET52によりPOWER_UP状態120に保持される。この状態において事象は生ぜず、次の状態コントローラ72は、命令状態マシン28からアクティブPROGRAM38またはERASE40を受信した後に、実行を開始する。パワ・アップ後、次の状態コントローラ72が、分岐122により示すようにアクティブPROGRAM38信号とアクティブERASE40信号を受信すると仮定する。これら入力信号により、次の状態コントローラ72はHARDWARE_ERR状態124に分岐する。HARDWARE_ERR状態124において、状態レジスタ34の二つのフェイル・ビットPRG_ERRとERASE_ERRは、ハードウェア故障を示す論理高に設定される。状態124から、書き込み状態マシン32は、次の状態コントローラ72の入力信号に関係なく、POWER_UP状態120に分岐して戻る。状態120になった後、次の状態コントローラ72がアクティブPROGRAM38およびイナクティブERASE40を受信すると仮定する。この信号の組合せは、アドレス・ライン24により示されるバイトで行なわれるプログラム事象を開始する。示されたバイトは、実質的にデータ・ライン26に示された値にプログラムされる。この状況において、次の状態コントローラ72は、分岐126をPROG_SETUP状態132にする。PROG_SETUP状態132において、次の状態コントローラ72は、プログラム事象に関し構成される。状態132において、期間カウンタ76はリセットされ、事象カウンタ74のプログラム・カウントが選択される。メモリ・アレイ22におけるプログラム通路はセットアップされる。その後、次の状態コントローラ72は、分岐134をPROGRAM状態136にする。状態136において、信号AY55とAX57により示されるバイトは、ほぼ6.75ボルトの電圧レベル、論理0にプログラムされる。状態136中、期間カウンタ76は、そのプログラム期間を選択することにより、プログラム動作に関して構成される。書き込み状態マシン32は、期間カウンタ72が終端カウントに到達するまで、状態136のままである。この到達は、プログラム

電圧が、バイト電圧を6.75ボルトにするのに十分な期間に供給されたことを示している。

【0019】次の状態コントローラ72は、PCTRTC88がアクティブすなわち論理高になる時、分岐138をプログラム等化状態PROG_EQ140にする。状態140における事象は、書き込み状態マシン32とアレイにプログラム検査を行なう、すなわち前のプログラム動作が成功したかどうか決定するよう準備させる。状態140において、期間カウンタ76はリセットされ、事象カウンタ74はエネーブルされ、そのカウントがインクリメントする。アレイ22はエネーブルされ、バイトが読出され、アレイ22におけるプログラム検査回路はターン・オンされる。プログラム検査を行なうよう部分的に構成されていると、次の状態コントローラ72は、状態140からPROG_VER_DELAY状態142に分岐する。状態142において、書き込み状態マシン32は、信号SOUT[0:7]を、DLC80に記憶されたプログラム・データに比較することにより、アドレスされたバイトがうまくプログラムされたことを検査する。期間カウンタ76は、SOUT[0:7]59が検査前に確実にバリドであるようにするため、検査遅延をもたらす。アレイ22は、ワード・ラインをエネーブルしかつ読出し通路をターン・オンすることにより、プログラム検査用に構成される。DLC80は、信号CMPEN287をアクティブにしかつ信号PGVER285をアクティブにすることにより、プログラム検査を行なうように構成される。アクティブの場合、信号PGVER285により、DLC80は、マイクロプロセッサ999が、プログラム動作中、プログラムされたビットを消去するよう試みた場合整合を示す。CMPE N287とPGVER285の作用については、図13のDLC80のブロック図に関して詳細に後述する。状態142中、事象カウンタ74のプログラム計数は、事象計数をプログラム事象モードに保持するよう選択されたままである。PCTRTC88がアクティブになると、次の状態コントローラ72はMATCH94を調べて、アドレスされたバイトがうまくプログラムされたかどうかを決定する。バイトがうまくプログラムされた場合、MATCH94は論理1で、そうでない場合には論理0である。

【0020】マイクロプロセッサ999がプログラム動作を要求されたとすると、次の状態コントローラ72は、状態142から三つの分岐の内の二つだけを行なうことができる。次の状態コントローラ72は、前のプログラム動作がうまくいかず、事象カウンタ74が最大事象カウントを超えなかった場合、分岐144をPROGRAM_SETUP状態132に戻す。書き込み状態マシン32は、どちらが最初に起きても、バイトがうまくプログラムされるか、または事象カウンタ74がタイムアウトするまで、状態132、136、140、142を

循環する。事象カウンタ74がタイムアウトするか、またはバイトがうまくプログラムされた場合、次の状態コントローラ72は、分岐146を第1プログラム実行状態PROG_DONE1 148に送る。状態148では何の事象も起きない。次の状態コントローラ72は状態148からPROG_DONE2状態150に分岐する。またもや事象は起きない。プログラム事象中、次の状態コントローラ72は、状態150から三つの分岐152、154、または159に送るしかない。次の状態コントローラ72は、次の状態コントローラ72が何らかの違法SBUS状態割当てを受けると、分岐159を状態124に送る。HARDWARE_ERR状態159では、状態レジスタのPRG_ERRとERASE_ERRビットの両方が設定される。その後、次の状態コントローラ72は状態159から状態120に送り、プログラム事象はハードウェア故障で終了する。図7は、ハードウェア・エラーとしてマップされている、状態のSBUS値を示している。図8は、名前を図7で用いられる信号頭文字に対する信号名を示している。プログラム動作がうまくいかなかった場合、次の状態コントローラ72は、分岐152を状態150からPRG_FAIL状態160に送る。PROG_FAIL状態160において、状態レジスタのプログラム・フェイル・ビットPRG_ERRが設定される。その後、次の状態コントローラ72はPOWER_UP状態120に戻す。プログラム事象は故障として終了する。

【0021】一方、プログラム動作がうまくいった場合、次の状態コントローラ72は、分岐154を、状態150から状態120に直接的に移す。この時、プログラム事象は成功のうちに完了する。メモリ・アレイ22の消去は、POWER_UP状態120においてアクティブERASE信号38とイナクティブPROGRAM信号40を受け取ることににより開始される。信号のこの組合せにより、消去事象が開始し、次の状態コントローラ72は分岐162をERASE状態164に送る。ERASE状態164において、次の状態コントローラ72は、アドレス・カウンタ、期間カウンタ、事象カウンタ78、76、74をリセットすることによってアレイをプレコンディションするように、書き込み状態マシン32を初期化する。次の状態コントローラ72は、ERASE状態160から状態132に分岐し、アレイ22のプレコンディショニング、すなわちアレイを消去する前に各ビットを論理0にプログラミングすることを開始する。消去動作において、次の状態コントローラ72は、プログラミング動作に関して述べたように、状態132、136、140を循環する。消去動作とプログラミング動作間の相違は、PROG_VER_DELAY状態142からの分岐にある。部分的には、消去は全アレイに対して行なわれるのに対してプログラミングは一度に1バイト行なわれるので、これら相違が生じる。消去

事象における別の可能状態は、アドレス・カウンタをアレイの各バイトにおいて循環する。次の状態コントローラ72は、アドレスされたバイトがうまくプレコンディションされた場合、状態142からPROG_INC_ADD状態166に分岐する。PROG_INC_ADD状態166において、事象は、書き込み状態マシン32がメモリの他のバイトをプレコンディションするよう準備する。アドレス・カウンタ78はエネーブルされ、そのカウントをインクリメントすることができ、それによりアレイ22の新しいアドレスを示す。事象カウンタ74はリセットされ、そのプログラム・カウンタが選択される。プログラム検査信号は、メモリ・アレイ22のプログラム検査回路をエネーブルし、アレイ22はエネーブルされる。

【0022】次の状態コントローラ72は、もしアドレス・カウンタ78がその終端カウントに到達しなければ、状態166からPROG_SETUP状態132に分岐する。書き込み状態マシン32は、メモリ・アレイ22の各バイトがプレコンディションされるか、またはバイトがうまくプレコンディションされなくなるまで、状態132、136、140、142、166を循環する。バイトがうまくプレコンディションされない場合、次の状態コントローラ72はPROG_VER_DELAY状態142からPROG_DONE1状態148に分岐する。状態148では事象は起きず、次の状態コントローラ72はPROG_DONE2状態150に分岐する。消去動作において、次の状態コントローラ72は状態150から三つの分岐156、158または159にしか送ることができない。次に状態コントローラ72は、事象カウンタ74がその終端カウントに到達した時までに、バイトがうまくプレコンディションされなかった場合、分岐156をERASE_FAIL状態168に送る。状態168において、ERASE_ERRビットが設定される。次の状態コントローラ72は状態168からPOWER_UP状態120に戻す。したがって、消去動作は失敗して終了する。一方、全バイトがうまくプレコンディションされた場合、次の状態コントローラ72は、分岐158を状態150からERASE_SETUP1状態170に送る。その後、次の状態コントローラ72は、アレイ22の消去プロセス、すなわちセル電圧を約3.25ボルトにするプロセスを開始する。状態170において、アドレス・カウンタ78と事象カウンタ74はリセットされる。これら動作は、書き込み状態回路とアレイに消去の準備をさせる。次の状態コントローラ72は、状態170からERASE_SETUP2状態172に分岐する。状態172中の事象は、WSM32にアレイ消去の準備をさせる。状態172において、SBUSはデコードし、期間カウンタ76がリセットされ、メモリ・アレイ22の消去検査回路をターンオンさせる。次の状態コントローラ72は、状態17

2からAPPLY_ERASE状態176に分岐する。状態176において、期間カウンタ76が終端カウントに到達するまで消去電圧がアレイに供給される。次に状態コントローラ72は、PCTRTC88がアクティブになると、状態176からERASE_OFF状態178に進める。

【0023】消去検査手続きを見越して、状態178において、期間カウンタ76がリセットされる。事象カウンタ74がエネーブルされ、そのカウントがインクリメントされ、メモリ・アレイ22の読出しラインはエネーブルされ続け、メモリの内容の読出しをアクセスすることができる。消去検査回路はターン・オンされたままである。次の状態コントローラ72は、状態178から状態180に分岐する。ERASE_VERIFY状態180において、書き込み状態マシン32は、メモリの示されたバイトがうまく消去されたかどうかを決定する。状態180における事象は、WSM32が検査を実行するよう構成する。状態180において、期間カウンタ76はリセットされ、その消去検査の遅延が選択される。消去検査の遅延は、大体、消去電圧が除去される時とSOUT[0:7]信号59がバリドになる時の間の時間である。状態180において、DLC80回路は、信号COMPDAT283を論理1に設定しかつ信号CMPEN287をアクティブにすることにより、アドレスされたバイトがうまく消去されたことを検査するよう構成される。信号COMPDAT283とCMPEN287とDLC80回路については後述する。状態180において、アレイの読出し通路はターン・オンされ、アレイはエネーブルされて、アレイ22は出力SOUT[0:7]59をDLC80に供給することができる。期間カウンタ76がタイムアウトした後、次の状態コントローラ72は、MATCH信号94を検査することにより、消去動作がうまくいったかどうかを決定する。MATCH94は、バイトがうまく消去された場合、論理1で、うまくいかなかった場合は論理0である。次の状態コントローラ72は、状態180から状態172に分岐し、現在アドレスされたバイトがうまく消去されずかつ事象およびアドレス・カウンタ74、78が終端カウントに到達しなかったことをMATCH94が示している場合、別の消去パルスを供給する。書き込み状態マシン32は、事象カウンタ74がタイムアウトするか、またはアドレスされたバイトの消去がうまく検査されるまで、状態172、176、180を循環する。

【0024】次の状態コントローラ72は、事象カウンタ74が終端カウントに到達した後メモリ・バイトがうまく消去されない場合、分岐182をERASE_FAIL状態168に送る。状態168において、ERASE_ERRビットが設定される。その後、書き込み状態マシン32は状態120に分岐する。このように、消去シーケンスはうまくいかずに終了する。次の状態コントロ

ーラ72は、バイトがうまく検査されかつイナクティブACTRTC信号92により示すようにアレイ中のどのバイトも消去されたわけではない場合、状態180からERASE_INC_ADD状態184に分岐する。状態184において、アドレス・カウンタ78はエネーブルされ、そのカウントがインクリメントされかつ信号AY55とAX57はアレイ22の別のバイトを示すことができる。状態184において、メモリ・アレイ22とDLC80は、CMPEN287をアクティブにし、アレイ22をエネーブルしかつアレイ読出し通路と消去検査回路をターンオンすることにより、読出されて、別の検査動作を行なう。アレイ22の新しいバイトを示した後、書き込み状態マシン32は、現在のバイト値を目標値に比較して、示されたバイトの消去が必要かどうかを決定する。これら事象は、状態180、184、186において起きる。次の状態コントローラ72は、状態184からERASE_INC_DELAYに分岐する。状態186は消去検査動作が行なわれる前にわずかな遅延をもたらす。状態186において、DLC80は、COMPDAT283を論理1に、かつCMPEN287をアクティブに保持することにより、消去検査構成に保持される。メモリ・アレイ22は、エネーブルされ続け、かつ読出し通路と消去検査回路はオンのままである。状態186において、読出し状態マシン32は、ERASE_VERIFY状態180に戻る。DLC80は、現在のメモリ場所の内容を消去電圧レベルに比較する。検査の結果、バイトが既に消去されていることが示された場合、次の状態コントローラ72は、消去されないバイトがメモリ・アレイ22に配置されるまで、またはアドレス・カウンタ78が最終カウントに到達するまで、状態184、186、180を循環する。

【0025】次の状態コントローラ72は、消去されないメモリ場所に到達しかつアドレス・カウンタ78がいまだ終端カウントに到達しなかった場合、ERASE_VERIFY状態180から状態172に戻る。書き込み状態マシン32は、メモリ・アレイ22の終りに到達するか、またはバイトがうまく消去されなくなるまで、前述したように状態172、176、178、180、184、186を循環する。全バイトがうまく消去された場合、アクティブなACTRTC92により示されるように、うまく消去された場合、次の状態コントローラ72は分岐188をPOWER_UP状態120に進める。アレイ22の消去は成功の内に完了される。図9は、オシレータおよび位相ジェネレータ70のブロック図である。オシレータ200はイナクティブRESET信号52を受信すると動作を開始する。オシレータ200はRESET52がイナクティブである限り実行する。RESET52がアサートされる時、オシレータ200は実行を終了する。オシレータの出力202はフェーズ・ジェネレータ204に供給される。フェーズ・ジ

エネレータ204は、活動化されるまでイナクティブに保持される2ビット・シフト・レジスタを含んでいる。シフト・レジスタは、四つの組合せ、すなわち“00”、“01”、“11”、“10”にシフトする。フェーズ・ジェネレータ204の二つのデコーダは、“01”と“10”を待ちかまえ、WSM32回路のほぼ全部に送られる二つの出力クロックすなわちPH1 82とPH2 84を発生する。本実施例において、PH1 /PH2 82、84は500nsの代表的なサイクル時間を有している。PH1 82とPH2 84のデュティ・サイクルは約25%である。図10は、RESET52とSBUS[0:4]54に関するPH1 82とPH2 84に関するスタート・アップ・タイミングを示している。RESET52はPROGRAM38またはERASE40のいずれかの立ち上がり縁で低くなる。RESET52の降下後、PH2 84は、アクティブ高にする第1クロックである。SBUS[0:4]54は、第2PH2 84パルスの立ち上がり縁でアクティブになり、全WSM32回路は、バリッドな読出しを保証するため、PH1 82がアクティブな間、SBUS[0:4]54を評価する。

【0026】図11は、期間カウンタ76を形成する回路のブロック図である。期間カウンタ76は、期間カウンタSBUSデコーダ210と15ビット・シフト・レジスタ・カウンタ212と終端カウント整合回路214およびラッチ216を含んでいる。期間カウンタSBUSデコーダ210は、カウンタ212と終端カウント整合回路214を制御する。デコーダ210はSBUS信号をデコードし、かつカウンタ212をリセットすべきかどうか決定しかつ三つの終端カウント間で選択する。各状態におけるSBUSデコーダ210の動作は、図7に関して決定される。たとえば、図7は、APPLY ERASE176において、PCTSELEERSを論理1に設定することにより、SBUSデコーダ210が消去終端カウントを選択することを示している。SBUSデコーダ210は、本実施例ではランダム論理装置として実現されている。シフト・レジスタ・カウンタ212は、エネーブルなカウンタを内蔵していないので、アクティブPCTRST信号218によりリセットされている状態を除いて、全状態で実行し続ける。シフト・レジスタ212のQ出力220は、終端カウント整合回路214に供給される。終端カウント整合回路214は、Q出力を分析しかつ選択された終端カウントにいつ到達したかを示す。終端カウント整合回路は、アクティブ信号PCTSELEERS、PCTSELPGM、PCTSE LVERにより選択される三つの終端カウント、すなわち消去、プログラム、検査を認識する。プログラミング動作に関する期間は約10μsecで、消去動作に関しては約10msecで、検査動作に関しては約3μsecである。カウンタ212がTCOUNT222をイン

クリメントし続けるので、出力TCOUNT222は、たった一つの状態においてアクティブである。アクティブな終端カウントTCOUNT222を記憶するため、ORゲート217とともにラッチ216が使用される。ラッチ216は、書き込み状態マシン32が最初パワアップされると、RESET52によりリセットされ、Q出力224を論理0に設定する。ラッチ216はPCTRST218信号がアサートされる時、リセットされる。TCOUNT222がアクティブ高になると、Q出力224を論理1になる。Q出力224は、TCOUNT222がイナクティブになった後、ラッチの入力を論理1に保持し、ラッチ216がRESET52によりリセットされるまで、PCTRTC88を論理1に保持する。

【0027】図12は、事象カウンタ74のブロック図である。事象カウンタ74は、事象カウンタSBUSデコーダ230と、13ビット・カウンタ232と、事象カウンタ終端カウント選択回路234と、ラッチ236と、ORゲート238を含んでいる。事象カウンタSBUSデコーダ230は、カウンタ232と終端カウント整合回路234を制御する。デコーダ230はSBUS信号をデコードし、カウンタ232をエネーブルすべきか、またはリセットすべきかどうかを決定し、かつ二つの可能事象カウンタ終端カウント間で選択する。各WSM状態に関するSBUSデコーダ230の動作は図7に基いて決定される。たとえば、図7は、ERASE_VERIFY状態180において、SBUSデコーダ230は、ECTRERを設定することにより消去終端カウントを選択することを示している。事象カウンタSBUSデコーダ230は、本実施例においてはRANDOM論理装置として実現されている。カウンタ232は、WSMが、新しいバイトのプログラム、プレコンディション、または消去を開始する時にはいつでも、SBUSデコーダ230によりリセットされる。リップルけた上げカウンタ232は、アクティブECTREN信号240によりエネーブルされる時だけ、そのカウントをインクリメントする。カウンタ232のQ出力242は、事象カウンタ終端カウント整合回路234に供給される。事象カウンタ終端整合回路234は、Q出力242を分析し、選択された終端カウントに到達する時を示す。事象カウンタ終端整合回路234は、信号ECTRERおよびECTRPGにより選択される二つの終端カウント、すなわち消去およびプログラムを認識する。消去事象が選択された時、事象カウンタ74により、8000以上の消去パルスが供給され、プログラム事象が選択された場合、50プログラム・パルスが供給される。

【0028】TCOUNT244は、ラッチ236とORゲート238を用いているTCOUNT222と全く同じ方法でラッチされる。図13は、アドレス・カウンタ78のブロック図である。アドレス・カウンタ78は、TTL入力バッファ250、252と、アドレス・

カウンタSBUSデコーダ254、256と、17ビット線形カウンタ258と、バイパス・マルチプレクサ260を含んでいる。バッファ250、252は、TTLアドレス入力A[0:16]24をCMOSレベルに変換する。バッファ出力AIN[0:16]262は、バイパス・マルチプレクサ260とカウンタ258の並列ロード入力に供給される。READY信号50が論理高の場合、アドレス・カウンタ78は、バイパス・マルチプレクサ260の出力としてバッファされたTTL出力262を選択することにより、フロー・スルー・アドレッシングを行なう。アドレス・カウンタSBUSデコーダ254、256は、カウンタ258の動作を制御する。SBUSデコーダ254は、カウンタ258にリセット信号ACTRST266を供給する。SBUSデコーダ256は、SBUS[0:4]54をデコードし、カウンタ・エネーブル信号ACTEN268を発生する。SBUSデコーダ254、256の動作を図7に関して説明する。たとえば、図7は、信号ACTEN268を論理1にすることにより、SBUSデコーダ256がPROG_INC_ADD状態166においてカウンタ258をエネーブルすることを示している。アドレス・カウンタのSBUSデコーダ254、256は、本実施例ではランダム論理装置として実現されている。カウンタ258は、並列ロードの17ビット線形カウンタで、ここでの詳細な説明は省略する。プログラム動作中、アドレス・カウンタ78は以下のように動作する。命令状態マシン28がプログラム命令を書込み状態マシン32に発生する前、READY信号は、書込み状態マシン32が動作を実行する状態にあることを示す論理高である。これは、バッファ・マルチプレクサ260の出力としてTTLバッファ出力262を選択する。信号PROGRAM38をアクティブ状態にする前に、命令状態マシン28はアドレス・ラッチ・エネーブル信号ALE49をアクティブにする。ALE49は、バッファされたアドレス出力AIN[0:16]262をカウンタ258にロードする。信号AQ262とAIN264は、カウンタ258がエネーブルされそのカウントをインクリメントするまで同じ値である。

【0029】バイパス・マルチプレクサ260は、PROGRAM38がアクティブになると、出力としてカウンタ入力AQ[0:16]を選択する。マルチプレクサ260は、READY50をイナクティブにすることによりAQ[0:16]を選択する。プログラム動作中、カウンタ258のカウントをインクリメントすることができないので、カウンタ258は、プログラム動作中、アドレス・ラッチとして働く。消去動作中のアドレス・カウンタ28の動作は、最初はプログラム動作中の動作と同様である。しかし、カウンタ258は、消去動作

中、PROG_INC_ADD状態166とERASE_INC_ADD状態184においてエネーブルされ、信号AY55とAX57は、アクティブなACTRTC92により示すように、アレイ22の最後に到達するまで、メモリ・アレイ22のアドレスを循環することができる。図13は、データ・ラッチおよび比較器回路（「DLC」）80のブロック図である。DLC80は、各データ・ビットに対して一つの、8つのラッチおよび比較器回路270a-270hと、DLC SBUSデコーダ282、284、286と、ANDゲート288と、マルチプレクサ290と、ラッチ292を含んでいる。マイクロプロセッサ999は、CEB44aとWEB46がアクティブに保持している間、データ・ラインDATA[0:7]26を介してフラッシュ・メモリ20に命令を書込む。アクティブなCEB信号44aとアクティブなWEB信号46は、各DLCラッチおよび比較器回路270a-270hにおけるTTL入力バッファ272aをエネーブルし、ライン26のデータをCMOS信号DATAIN[0:7]27に変換する。CSMは、DATAIN[0:7]27がプログラムまたは消去命令を表している場合、データ・ラッチ・エネーブル信号DLE47をアクティブにする。DLE47がアクティブになると、TTLバッファ272a-272hからのデータはラッチ274a-274hにクロックされる。プログラム検査中、ラッチおよび比較器回路270a-270hは次のように動作する。ERASE信号38はイナクティブで、マルチプレクサ276a-276hの10入力をマルチプレクサの出力として選択する。したがって、ラッチ272a-272hに記憶されたデータは、比較器278a-278hのLAT入力に供給される。

【0030】比較器の出力279a-279hは、プログラム・データの各ビットがセンス・アンプ出力SOUT[0:7]59に整合しているかどうかを示す。各比較器278a-278hに関して、二つの比較器の入力SOUTとLATが一致している場合、比較器の出力は論理1である。比較器の入力が一致していない場合、出力は論理0である。プログラム検査中、前述した比較器278a-278hの動作は、アクティブ・プログラム検査信号PGVER283により変更される。表1に示すように、PGVER283がアクティブな場合、比較器278a-278hは論理1を出力し、セルが論理0にある時、ビットは論理1であることが要求される。比較器278a-278hは、書込み状態マシン32がプログラム動作中プログラムされたビットを消去することが出来ないで、この状態での整合を示している。

【0031】

		MATCH 出力	
		PRVER	PGVER
SOUT	LAT	イナクティブ	アクティブ
0	0	1	1
0	1	0	1
1	0	0	0

【0032】全比較器278a-278hの出力279a-279hは、ANDゲート288により共にANDされる。ANDゲート288の出力は、SOUT [0:7]とDATAIN [0:7]の各ビットが整合している場合、論理1で、SOUT [0:7]とDATAIN [0:7]が整合していない場合、論理0である。ANDゲート288の出力は、出力マルチプレクサ290の11入力に供給される。マルチプレクサ290の11入力は、アクティブCMPEN信号287によりマルチプレクサ出力として選択される。CMPEN287は、プログラム検査中アクティブで、ANDゲートの出力289はラッチ292に流れ、MATCH信号94の論理状態を制御する。MATCH94の値は、次の状態マシン72がプログラム検査状態から移動する時、ラッチ292により記憶される。ラッチ292のQ出力は、マルチプレクサ290の10入力に供給される。CMPEN287がイナクティブになると、マルチプレクサ290の10入力が選択され、10入力はラッチ292を制御する。MATCH94は、RESET52によりリセットされる。消去検査中のデータ・ラッチおよび比較器回路270a-270hの動作は、次の事柄を除いてはプログラム検査に関して述べた動作と同様である。第1に、マルチプレクサ276a-276hの11入力は、消去検査中、アクティブなCOMP DAT1信号により論理1に設定される。これは、センス・アンプの出力を比較するための電圧基準を確立する。第2に、アクティブERASE信号38は、比較器278a-278hに出力されるべきマルチプレクサ276a-276hの11入力を選択する。第3に、PGVER信号はイナクティブで、比較器278a-278hは変更なしに動作することができる。

【0033】DLC SBUSデコーダ282、284、286は、データ・ラッチおよび比較器回路272a-272hの動作を制御するのを助ける。DLC SBUSデコーダ282、284、286の動作は、図7に関して決定される。たとえば、図7は、ERASE_

表1 INC_ADD、ERASE_INC_DELAY、ERASE_VERIFY状態184、186、180において、DLC SBUSデコーダ286はCMPEN信号を高に設定する。本実施例では、DLC SBUSデコーダ282、284、286は、ランダム論理装置で実現されている。図15は、状態レジスタ34のブロック図である。状態レジスタ34は、クロック・ジェネレータ300、信号STATUS [3:7] 56の各ビットに対して一つの、五つの出力ラッチ302a-302eと、状態レジスタSBUSデコーダ304、306と、ラッチ308、312と、ORゲート310、314と、インバータ316を含んでいる。状態レジスタの出力56は、出力エネーブル・バー信号OEB46aに同期される。クロック・ジェネレータ300は、OEBがトグルする時にはいつでも、1組のクロック・パルスPH' 1/PH' 2 320を発生することにより、同期される。クロック・パルスPH' 1/PH' 2 320は、出力ラッチ302a-302eへのデータのクロック・インを制御する。したがって、OEB42は出力ラッチ302a-302eからバリッド・データを読み出すため、トグルされなければならないことは明白である。信号READY50、IDLE53、LOWVPP51は、出力ラッチ302a-302cのD入力に直接的に入力される。状態レジスタSBUSデコーダ304は、プログラム故障を検出するようSBUS [0:4] 54をデコードする。SBUSデコーダ304が故障を検出すると、PRG_FAIL信号322は論理1に設定される。SBUS [0:4] 54がたった一つの状態期間においてプログラム故障を示した場合、アクティブPRGFAIL信号322は、マイクロプロセッサ99が状態レジスタ34をリセットするよう選択するまで、ラッチ308とORゲート310を用いて記憶される。状態レジスタ34は、STATRS45をアクティブにすることにより、リセットされる。デバイス308、310のこの対は、期間カウンタ76における実質的に同様のデバイス対と同じように動作する。

【0034】状態レジスタSBUSデコーダ306は、消去故障を検出するためSBUS[0:4]54をデコードする。SBUSデコーダ306が故障を検出した場合、ERSFAIL信号324は高に設定される。SBUS[0:4]54がたった一つの状態期間に対し一つの消去故障を示すので、アクティブなERSFAIL信号324は、マイクロプロセッサ999が状態レジスタをリセットするよう選択するまで、ラッチ312とORゲート314を用いて記憶される。このデバイス対312、314は、期間カウンタ76における同様のデバイス対と実質的に同じに動作する。図7は、状態レジスタSBUSデコーダ304、306の動作を示している。たとえば、図7は、全ハードウェア故障状態に対して、PRG_ERRが設定されることを示している。本実施例では、状態レジスタSBUSデコーダ304、306はランダム論理装置で実現されている。ラッチ308、312のアクティブ出力は、状態レジスタのリセット信号STATS45がアクティブ高である時リセットされ、これは、マイクロプロセッサ999からのCLEAR STATUS REGISTER命令の結果として起きる。STATUS[3:7]出力56は、STAT7とも呼ばれているRDY/BSY信号を含んでいる。RDY/BSYが論理ゼロの場合、書き込み状態マシン32はビジーである。STAT7の論理1は、書き込み状態マシン32がその動作を完了し別の動作の実行に備えていること、および他の状態出力がバリドであることを示している。STAT6信号は、ERASE_SUSPEND信号とも呼ばれている。WSM32が消去動作においてアイドル状態に入った時、ERASE_SUSPENDはアクティブ、論理1になり、アレイ22が読出し可能であることを示す。ERASE_SUSPENDは、マイクロプロセッサ999からの要求とWSM32に状態に基づいて、シンクロナイザ30により設定されかつクリアされる。STAT5信号は消去エラーERASE_ERR信号とも呼ばれている。ERASE_ERR信号は、WSM32がうまくアレイをプログラムまたは消去できない場合に論理1に設定される。ERASE_ERRはまた、消去命令が果たされない場合、またはハードウェア・エラーが生じた場合に論理0に設定される。ERASE_ERR信号は、WSM32により設定され、STATUS REGISTER CLEAR命令によりクリアされる。STAT4は、プログラム・エラー信号PRG_ERRとも呼ばれている。PRG_ERRは、WSM32がうまくバイトをプログラムできない場合に論理1に設定される。PRG_ERRはまた、消去命令が果たされない場合、またはハードウェア・エラーが生じた場合に論理0に設定される。PRG_ERRは、SBUS信号54により設定され、STATUS REGISTER CLEAR命令によりクリアされる。STAT3は、VPLOW信号51とも呼ばれて

いる。VPLOW51は、プログラムまたは消去動作中いつでも、プログラミング電圧VPP36が低下する時設定される。しかし、PRG_ERRまたはERASE_ERRが設定される場合には、低いVPP36は動作に何の影響も及ぼさない。VPLOW51はSTATRSによりクリアされる。状態レジスタ34は、STATRS45の反転である状態レジスタ・リセット・バー信号STATRB61をシンクロナイザ30に出力する。以上のように、不揮発性フラッシュ・メモリをプログラムおよび消去する回路について説明してきたが、プログラムまたは消去シーケンスが一旦開始されると、書き込み状態回路は、要求された動作を実行するのに必要な全制御信号を発生し、マイクロプロセッサ999は他の機能を行なうため使用されない。本発明は、特定の実施例についてのみ述べられてきたが、本発明の思想から離れることなく様々に改変し得ることは明白であろう。

【発明の効果】本発明により、不揮発性半導体メモリの消去およびプログラムに要するマイクロプロセッサのコードの量は最少ですむ。また、本発明の多段プログラムまたは消去シーケンスを実行する回路では、多段プログラムまたは消去シーケンスが一旦開始されると、完了するために不揮発性半導体メモリの外部装置からの制御を必要としないですむ。

【図面の簡単な説明】

【図1】書き込み状態マシンを含んでいるフラッシュ・メモリ回路のブロック図である。

【図2】フラッシュ・メモリ命令の表である。

【図3】書き込み状態マシンのブロック図である。

【図4】次の状態コントローラの回路のブロック図である。

【図5】フラッシュ・メモリのプログラムおよび消去方法の状態図の半分である。

【図6】フラッシュ・メモリのプログラムおよび消去方法の状態図の残りの半分である。

【図7】各書き込み状態マシン状態のSBUS値の表である。

【図8】信号名の表である。

【図9】オシレータおよびパルス・ジェネレータ回路のブロック図である。

【図10】PH1およびPH2に関するスタート・アップ・タイミング図である。

【図11】期間カウンタの回路のブロック図である。

【図12】事象カウンタの回路のブロック図である。

【図13】アドレス・カウンタの回路のブロック図である。

【図14】データ・ラッチおよび比較器の回路のブロック図である。

【図15】状態レジスタのブロック図である。

【符号の説明】

20 フラッシュ・メモリ

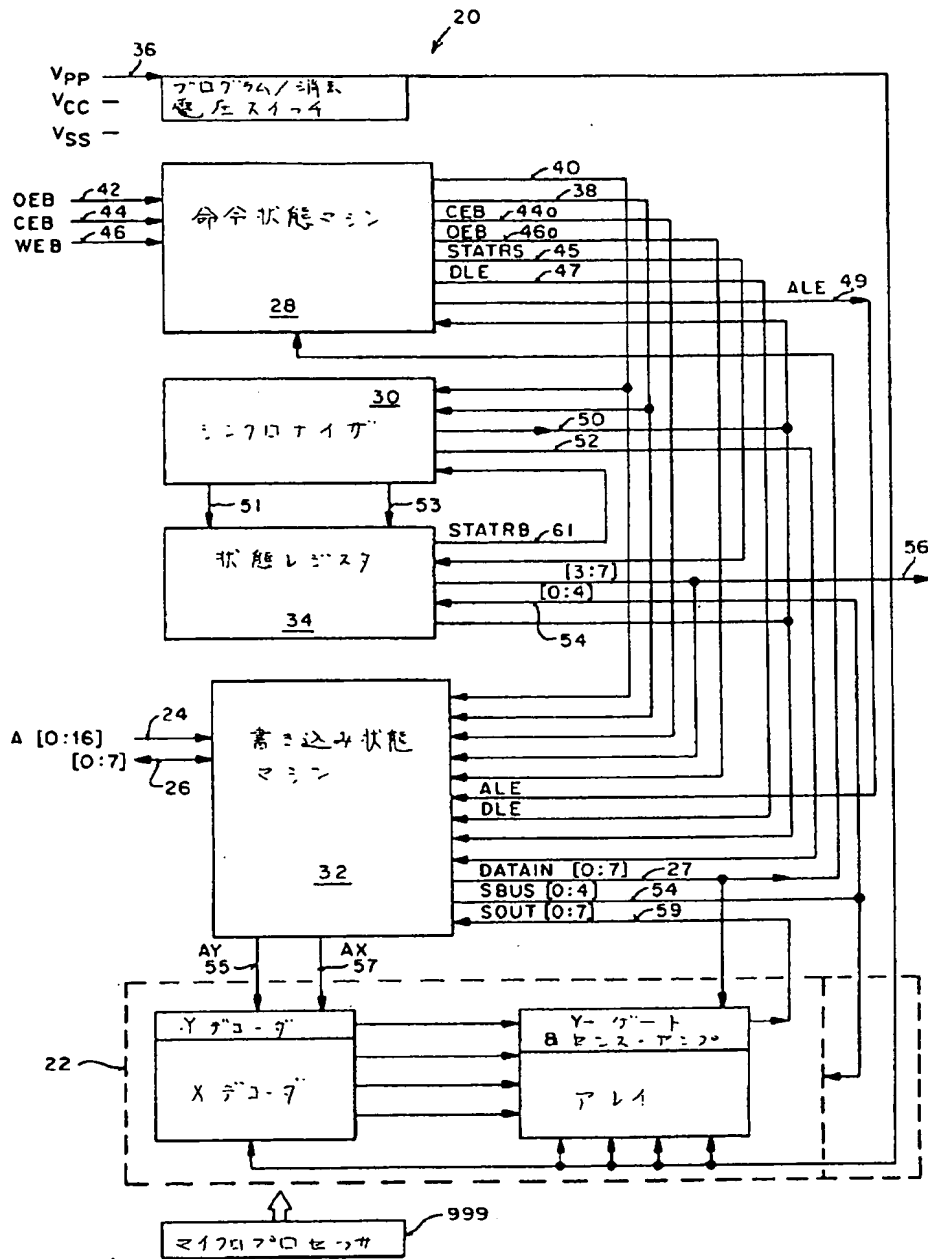
22 メモリ・アレイ
 28 命令状態マシン
 30 シンクロナイザ
 32 書き込み状態回路
 34 状態レジスタ
 70 オンレータ&フェーズ・ジェネレータ
 72 次の状態コントローラ
 74 事象カウンタ
 76 期間カウンタ
 78 アドレス・カウンタ
 80 データ・ラッチ&比較器
 110 次の状態論理装置

112、216、236、292 ラッチ
 200 オンレータ
 204 フェーズ・ジェネレータ
 210 期間カウンタSBUSデコーダ
 212 シフト・レジスタ・カウンタ
 214 終端カウンタ整合回路
 230 事象カウンタSBUSデコーダ
 232 13ビット・カウンタ
 234 事象カウンタ終端カウンタ選択回路
 238 ORゲート
 250、252 TTL入力バッファ
 254、256 アドレス・カウンタSBUSデコーダ

【図2】

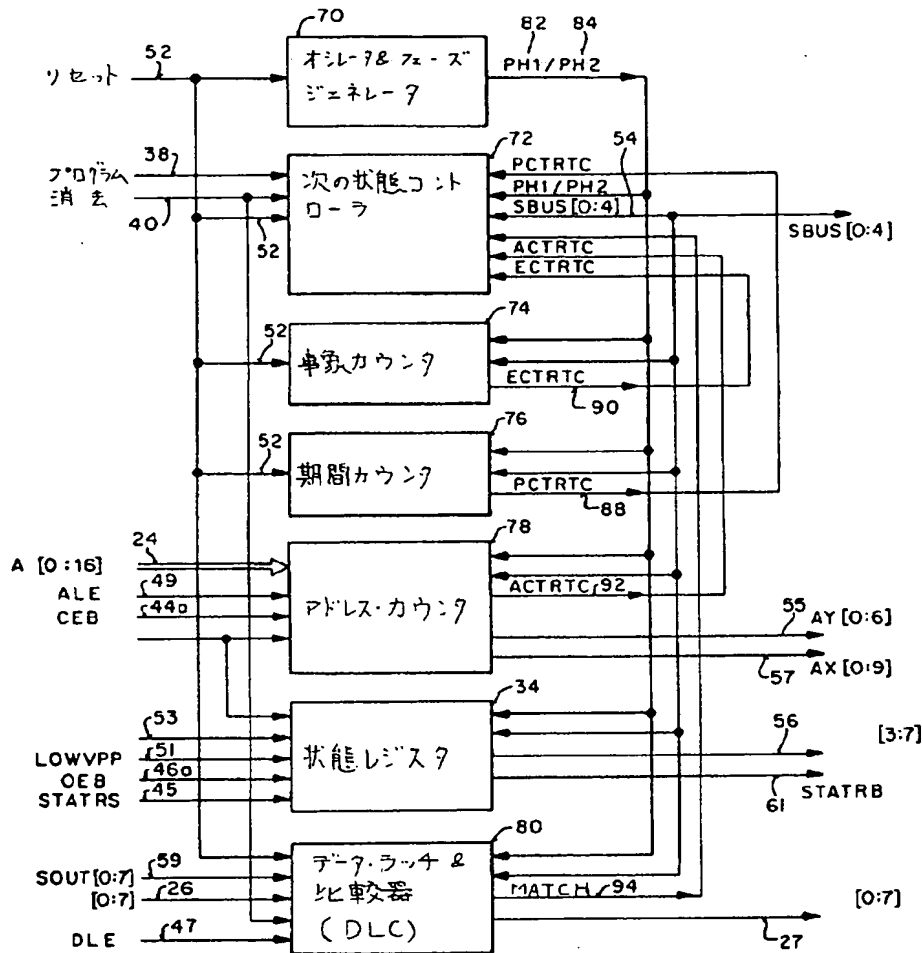
命 令	要求されるバス・サイクル	オンバス・サイクル			オフバス・サイクル		
		動作	アドレス	データ	動作	アドレス	データ
プレイを読み出す 状態レジスタを読み出す 状態レジスタをクリア セットアップ/リセット確認を済ませ セットアップ/リセットプログラムをプログラム	1	書き込み	x	FFH	読み出し	x	SRD
	2	書き込み	x	70H	読み出し	x	00H
	1	書き込み	x	50H	書き込み	x	PD
	2	書き込み	x	20H	書き込み	x	PA
	2	書き込み	x	40H	書き込み	x	PA

【図1】



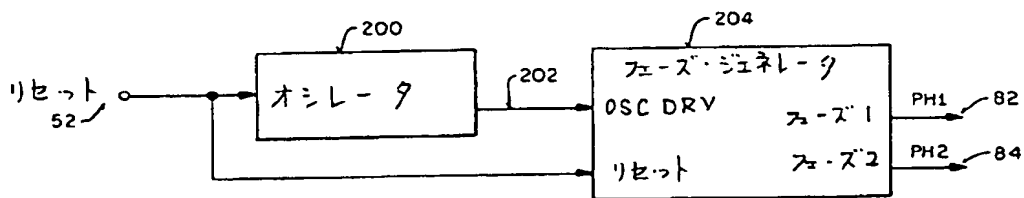
【図3】

WSM 7" D → 7" □

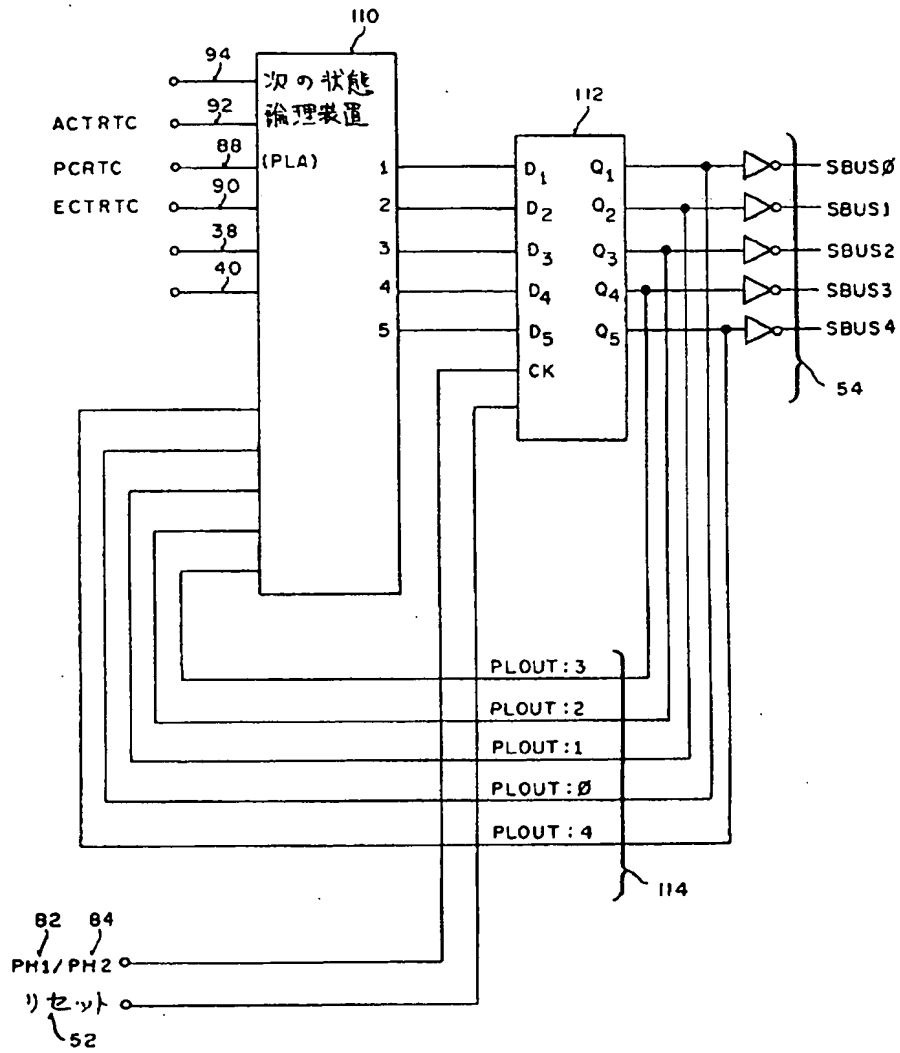


32

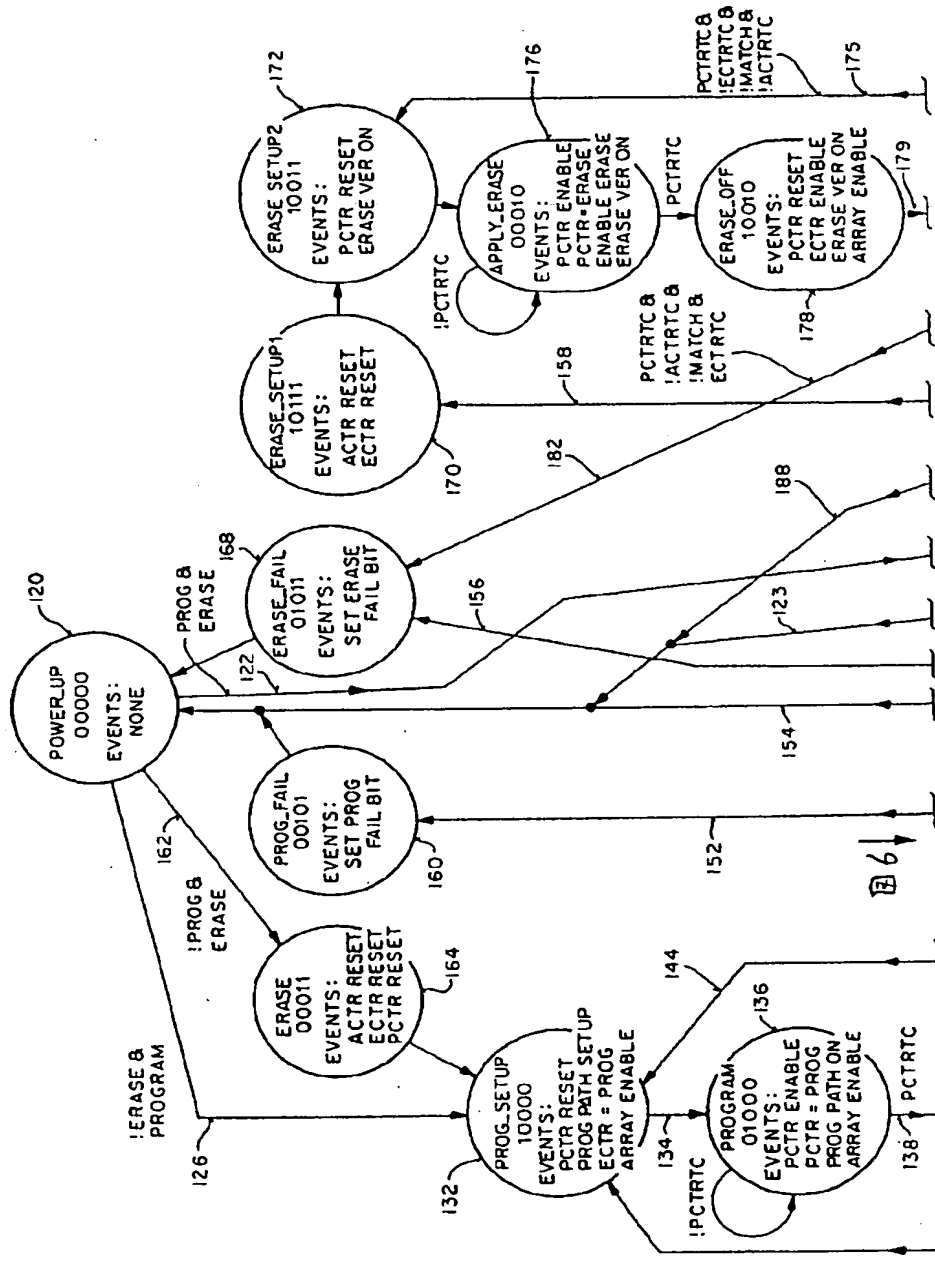
【図9】

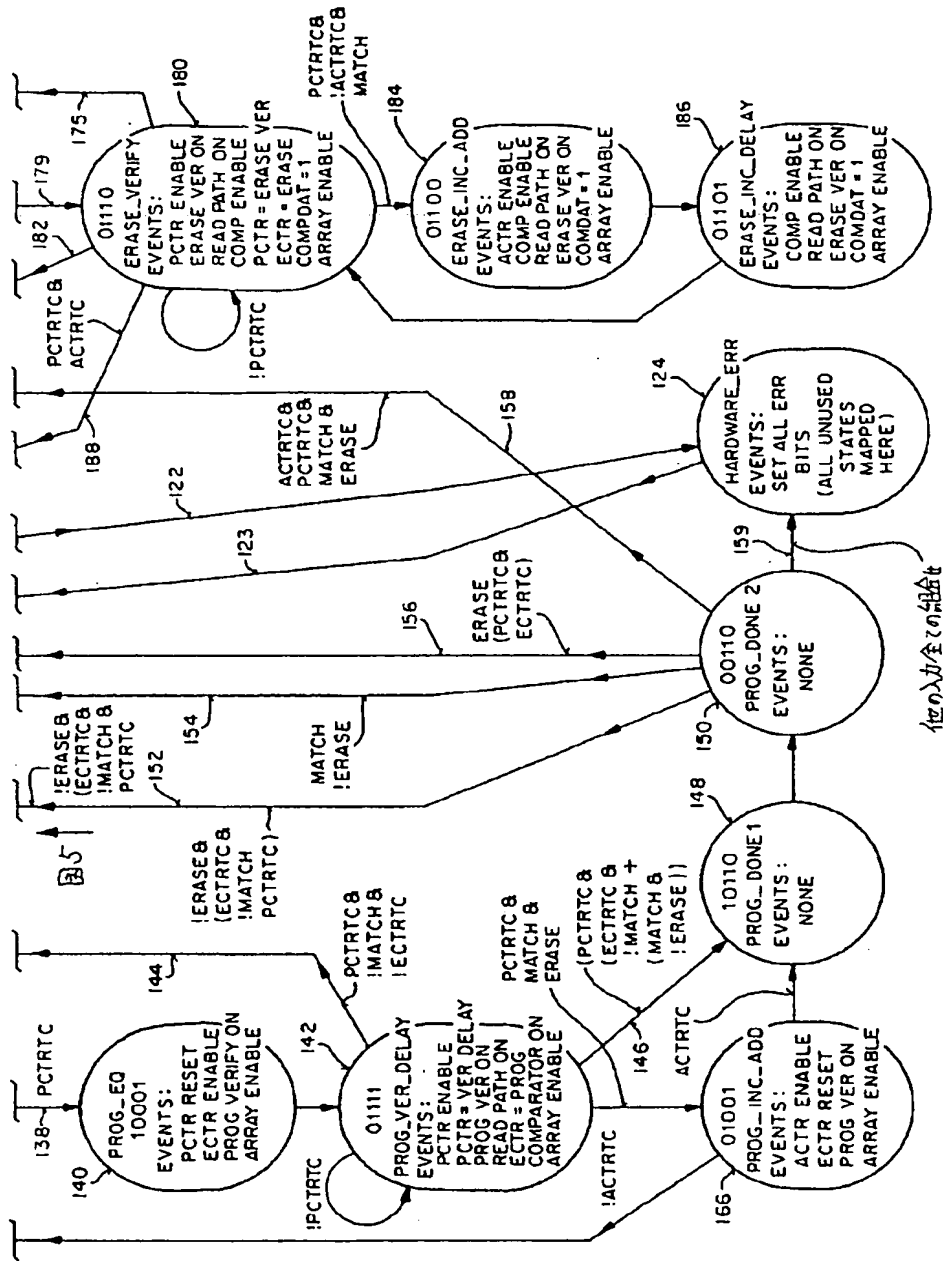


【図4】



【图 5】





SBUS	デコードされた信号の頭文字と値	状態名
0000	E C C T R R E N - 0	POWERUP
0001	E C C T R R E N 1 - 0	APPLY_ERASE
0010	E C C T R R E N 0 1 - 0	ERASE
0011	E C C T R R E N 0 0 1 - 0	PROG_FAIL
0100	E C C T R R E N 0 0 0 - 0	PROGRAM
0101	E C C T R R E N 0 0 0 1 - 0	PROG_INC_ADD
0110	E C C T R R E N 0 0 0 0 1 - 0	ERASE_FAIL
0111	E C C T R R E N 0 0 0 0 0 1 - 0	ERASE_INC_ADD
1000	E C C T R R E N 0 0 0 0 0 0 1 - 0	ERASE_INC_DELAY
1001	E C C T R R E N 0 0 0 0 0 0 0 1 - 0	ERASE_VERIFY
1010	E C C T R R E N 0 0 0 0 0 0 0 0 1 - 0	PROG_VER_DELAY
1011	E C C T R R E N 0 0 0 0 0 0 0 0 0 1 - 0	PROG_SETUP
1100	E C C T R R E N 0 0 0 0 0 0 0 0 0 0 1 - 0	PROG_EQ
1101	E C C T R R E N 0 0 0 0 0 0 0 0 0 0 0 1 - 0	ERASE_OFF
1110	E C C T R R E N 0 0 0 0 0 0 0 0 0 0 0 0 1 - 0	ERASE_SETUP2
1111	E C C T R R E N 0 0 0 0 0 0 0 0 0 0 0 0 0 1 - 0	PROGRAM_DONE1
		PROGRAM_DONE2
		ERASE_SETUP1
		HARDWARE_ERRS

信号の頭文字	信号名
ECTRST ECTREN ECTRER ECTRPG PCTRST PCTSELERS PCTSELPGM PCTSELVER DE COMPEN COMPDAT1 READY ERSFAIL PGMFAIL ACTRST ACTREN PGSETUP PGM ERASE ERVER PCOVER AE	<ul style="list-style-type: none"> - EVENT COUNTER RESET - EVENT COUNTER ENABLE - EVENT COUNTER TC OUT = ERASE NOMINAL (2000) - EVENT COUNTER TC OUT = PROGRAM NOMINAL (50) - PERIOD COUNTER RESET (PCTR RUNS IN ALL STATES RESET IS NOT ASSERTED) - PERIOD COUNTER TC OUT = ERASE PULSE WIDTH - PERIOD COUNTER TC OUT = PROGRAM PULSE WIDTH - PERIOD COUNTER OUT = VERIFY DELAY - DATA PATH ENABLE (SENSE AMPS/DRAIN BIAS, ETC.) - COMPARTOR ENABLED - FORCE COMPARTOR DATA TO 1 IF ERASE MODE - SET RDY/BSY# = 1 - SET ERASE FAIL BIT - SET PROGRAM FAIL BIT - ADDRESS COUNTER RESET - ADDRESS COUNTER ENABLED FOR COUNTING - PROGRAM SETUP - PROGRAM DATA IN - APPLY ERASE VOLTAGES - TURN ERASE VERIFY CIRCUITRY ON - TURN PROGRAM VERIFY CIRCUITRY ON - ENABLE THE ARRAY (X DECODERS, ETC.)

PH1 / PH2 スタートアップ・タイミング

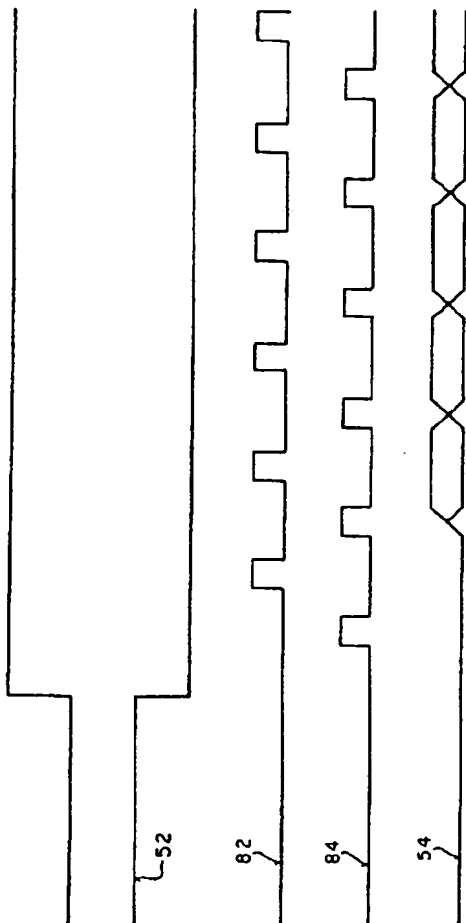
プログラム・消去

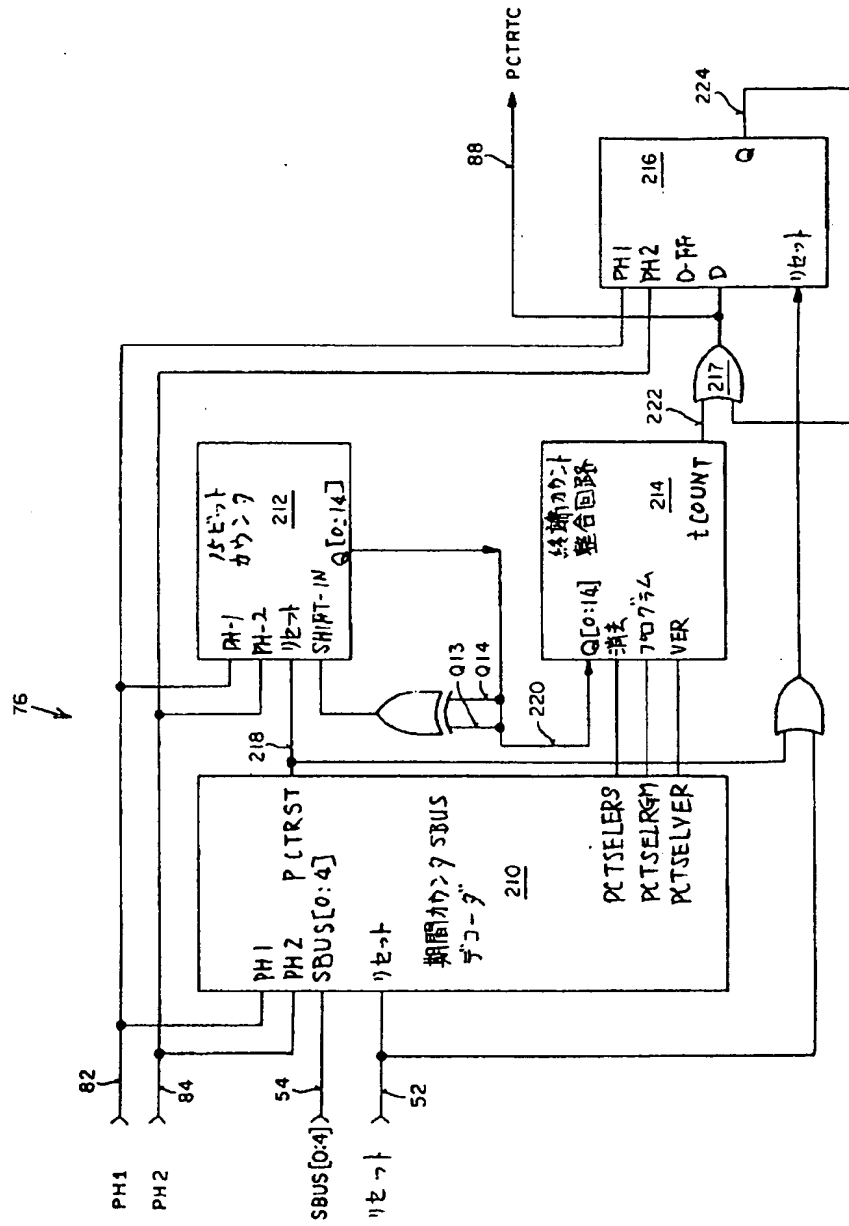
リセット

PH1

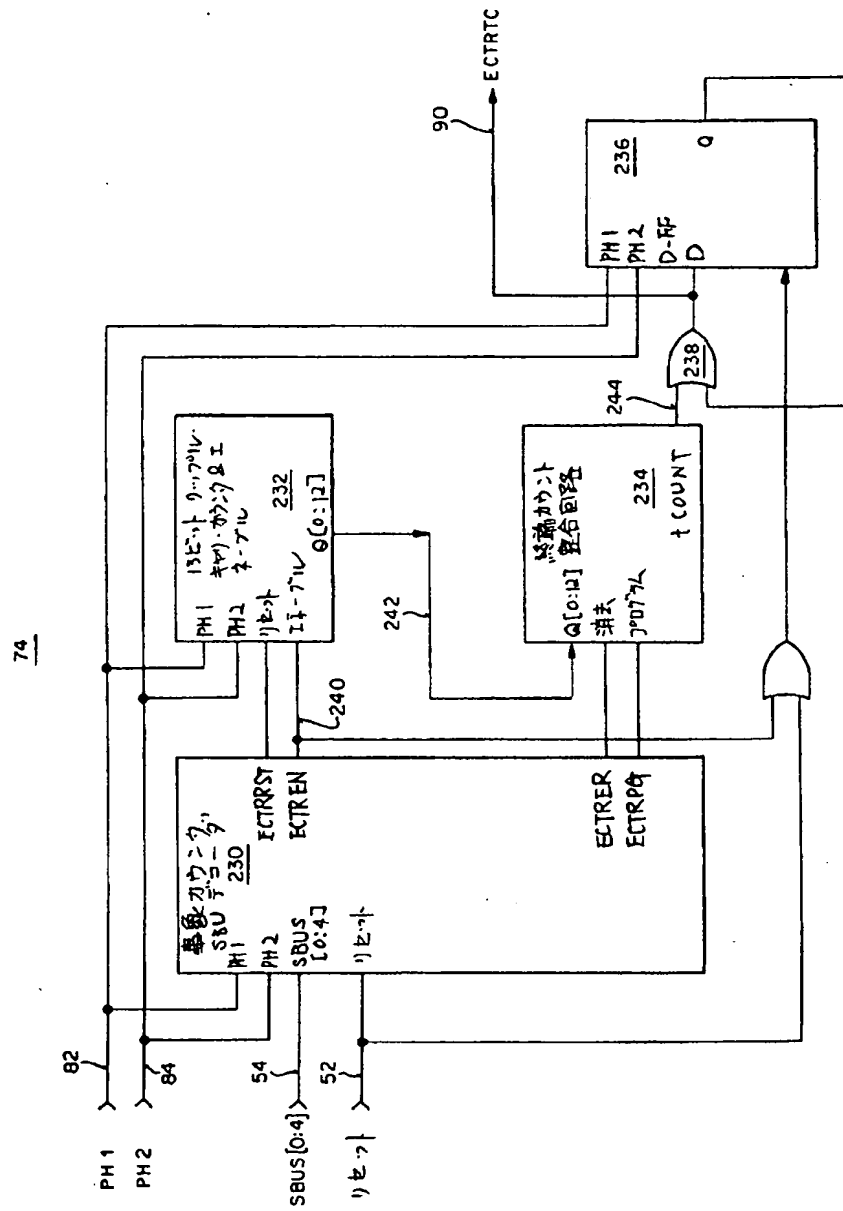
PH2

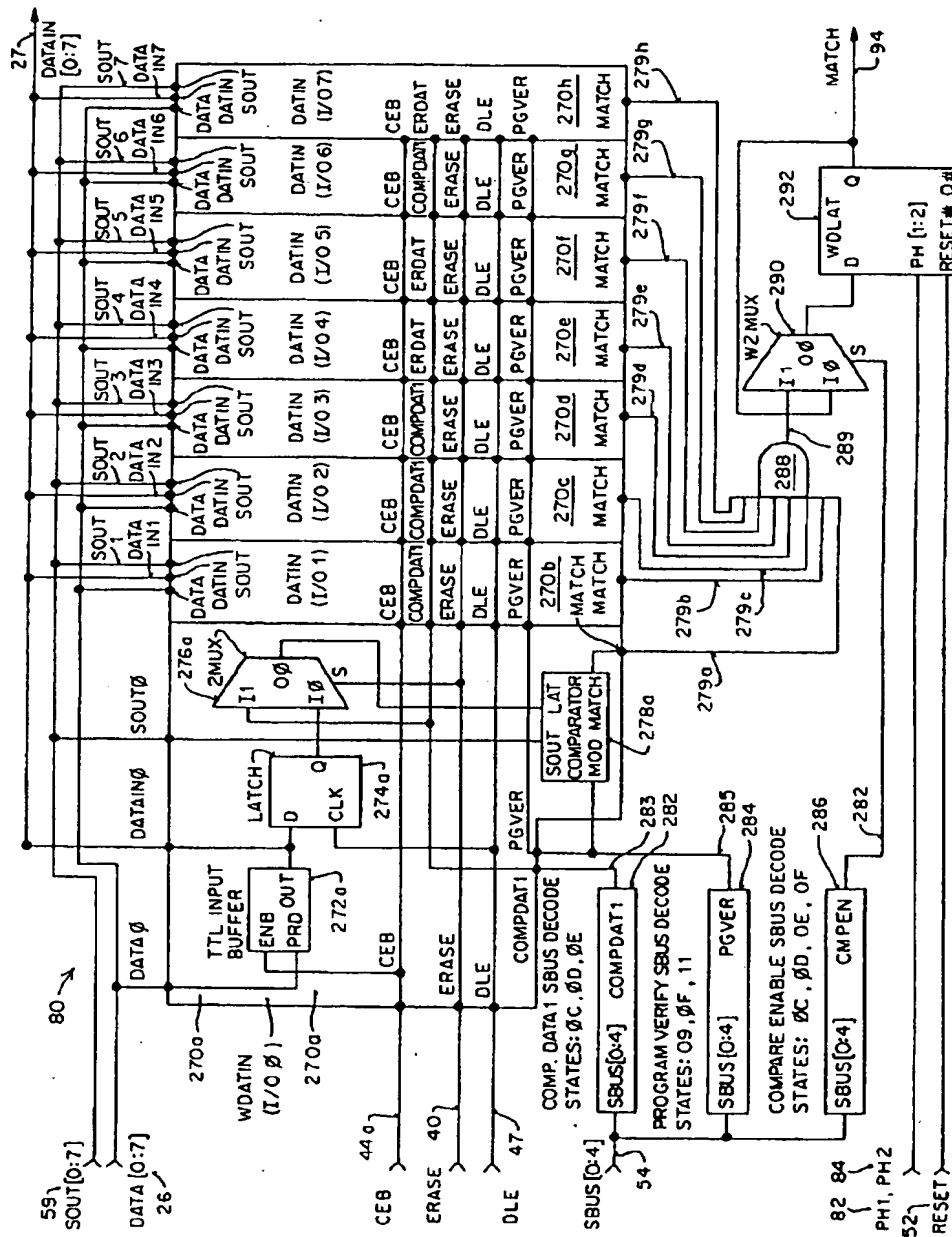
SBUS [0:4]

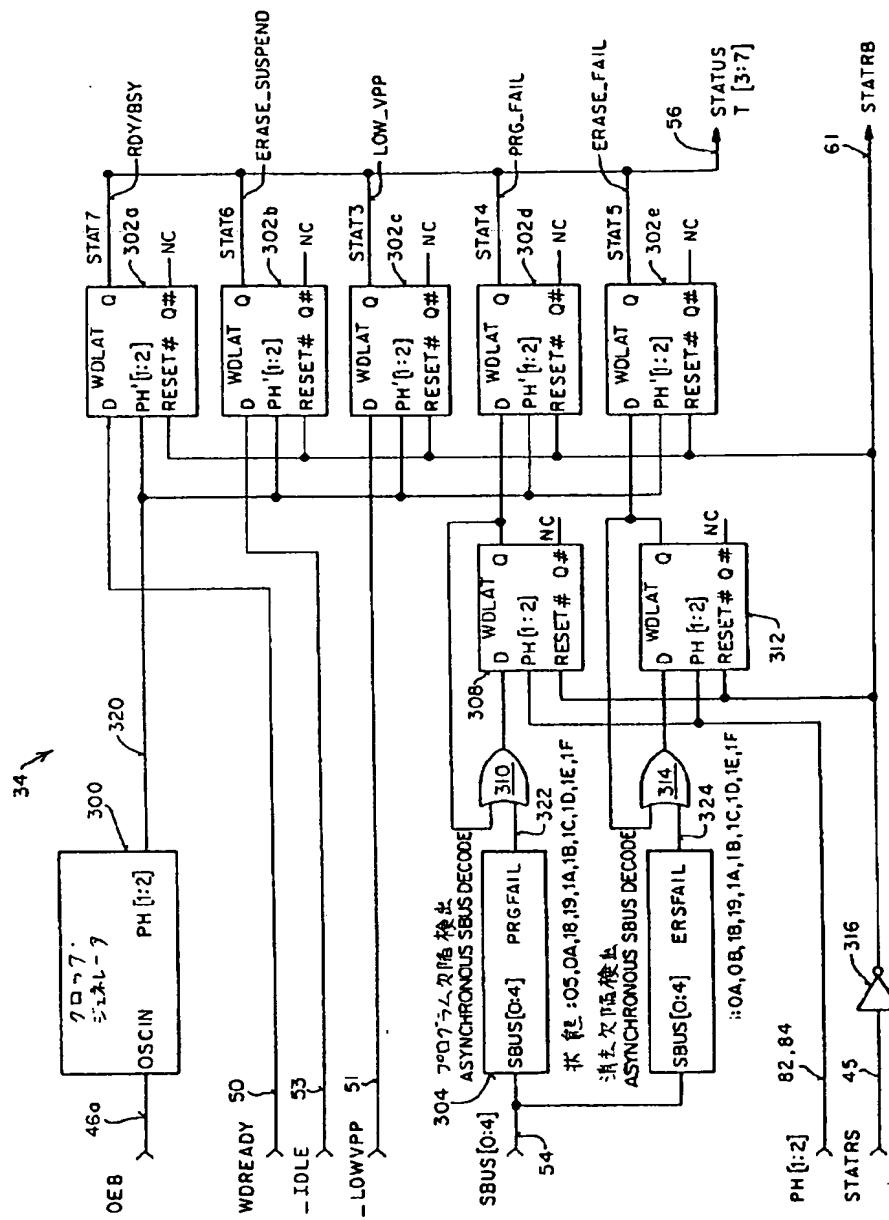




【図 12】







**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.